

УДК 621.382

## МЕТОД ОБНАРУЖЕНИЯ МЕТАСТАБИЛЬНОСТИ В СИНХРОНИЗАТОРАХ

О.А. Петросян<sup>1</sup>, З.М. Аветисян<sup>2</sup>, А.Р. Мартиросян<sup>3</sup>

<sup>1</sup>Национальный политехнический университет Армении

<sup>2</sup>ЗАО “Синописис Армения”

<sup>3</sup>ЗАО “МОНИТИС”

В настоящее время в системах на кристалле (СнК) возникает необходимость использования более одной синхросигнальной системы, что дает возможность совместить работу разных узлов СнК. В многосинхросигнальных сверхбольших интегральных схемах (СБИС), когда сигнал передается из области, работающей на одном синхросигнале, в область, работающую на другом синхросигнале, возникает проблема синхронизации разных синхросигналов. Во избежание проблем, возникающих вследствие этих переходов, используют синхронизаторы, которые широко применяются в современных СБИС.

В случае неиспользования синхронизаторов в читающем данные триггере, работающем в другой области, вследствие одновременного возникновения входных сигналов может возникнуть метастабильное состояние. Данное состояние может стать причиной некорректной работы иных узлов схемы, распространиться по всей интегральной схеме (ИС) и привести к неправильной работе всей системы. И так как выход из метастабильного состояния схемы с некоторой точностью является случайным процессом, необходимо использовать методы защиты от попадания схем в это состояние.

В статье изучены синхронизаторы, а также случаи возникновения метастабильных состояний в них. Выбрана защелка синхронизатора, и в ней смоделировано метастабильное состояние. Разработана и предложена новая схема, которая может обнаружить метастабильное состояние, возникаемое в синхронизаторах. В дальнейшем при проектировании выходной сигнал предложенной схемы может быть использован во избежание передачи неправильных сигналов, возникаемых в схеме в результате метастабильности.

Рассчитан ряд параметров, которые представлены в виде таблиц и диаграмм.

**Ключевые слова:** метастабильность, многосинхросигнальная система на кристалле, синхронизатор, защелка, D триггер.

**Введение.** Метастабильное состояние может возникнуть в синхросхемах [1] любого типа. Рассмотрим это состояние на примере простейшего D триггера, приведенного на рис. 1 [2], где из-за недосмотра за ограничениями времен установки ( $T_{SU}$ ) и утверждения ( $T_H$ ) (необходимая задержка между синхросигналом и сигналом входных данных) триггер может оказаться в

метастабильном состоянии (рис. 2). Как видно из рис. 2, при неудержании времен  $T_{SU}/T_H$  выход схемы не находится на логическом уровне ( $Q_{мет}$ ). Именно этот нелогический уровень и называется метастабильностью. И неизвестно, когда и в каком направлении выйдет схема из этого состояния – в одном случае может совпасть с правильным выходом, в другом случае – нет.  $Q_{норм}$  соответствует нормальной работе триггера.

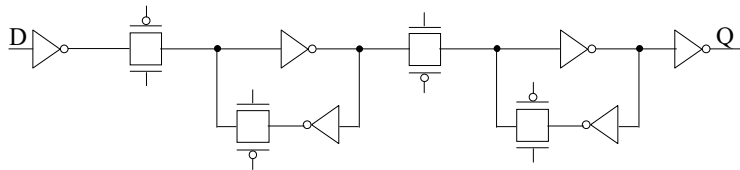


Рис. 1. D триггер

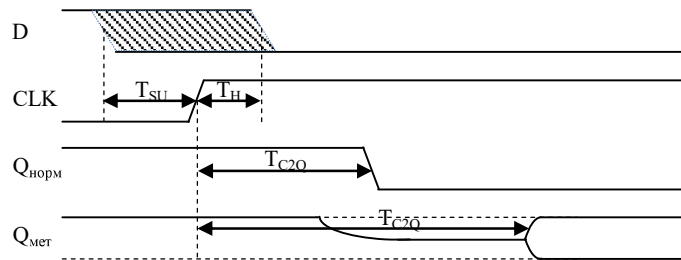


Рис. 2. Метастабильное состояние

Из рис. 2 также видно, что задержка D триггера от синхросигнала до выходного сигнала ( $T_{C2Q}$ ) растет, что также является проблемой для синхронных интегральных схем, так как это может привести к нарушению времен установки/утверждения других триггеров и, как следствие, к неправильной работе всей системы.

Из литературы известен ряд примеров синхросхем, простейшей из которых является сочетание соединенных один за другим D триггеров (рис. 3) [3]. Если первый из триггеров попадает в метастабильное состояние, то второй прибавляет дополнительное время, равное одному такту синхросигнала, в течение которого первый может выйти из метастабильного состояния.

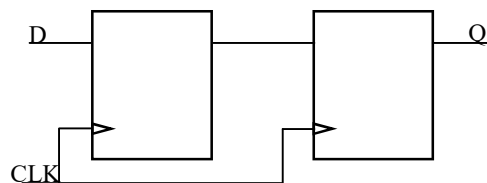


Рис. 3. Синхронизатор, основанный на D триггере

Несмотря на огромное значение синхронизаторов в СБИС, они всего лишь уменьшают вероятность метастабильности в ИС, но не исключают ее. Существует ряд методов, которые вычисляют вероятность выявления сбоев в схеме [4]. Эту вероятность обозначим  $P_F$ . Она будет иметь следующий вид [5]:

$$P_F = f_c T_0 e^{-t_s/\tau}, \quad (1)$$

где  $f_c$  – частота приемного синхросигнала;  $T_0$  – метастабильное окно, которое представляет собой временной интервал, где появление даты приведет схему в метастабильное состояние (часто вычисляется суммой времен установки и утверждения);  $t_s$  – дозволенное время, за которое сигнал должен утвердиться в логическом уровне:

$$t_s = T_{CLK} - T_{C2Q} - T_{SU}, \quad (2)$$

$\tau$  – временная константа, зависящая от физических параметров устройства, которая показывает, с какой скоростью устройство выходит из метастабильного состояния.  $\tau$  вычисляется на основе результатов моделирования, приведенного на рис. 4 [5]:

$$\tau = \frac{t_2 - t_1}{\ln\left(\frac{\Delta V_2}{\Delta V_1}\right)}. \quad (3)$$

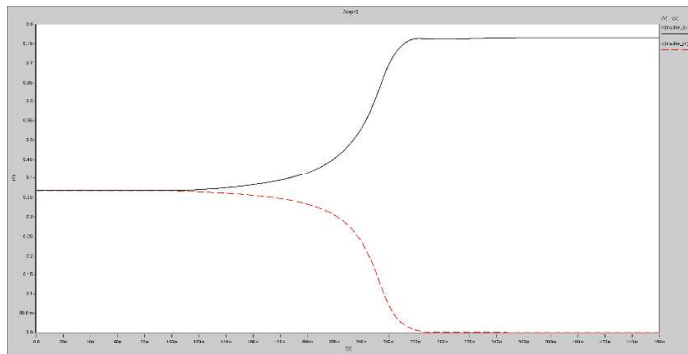


Рис. 4. Моделирование вычисления  $\tau$

Частота сбоев обозначается буквой  $\lambda$  и вычисляется по формуле

$$\lambda = f_c P_F = f_d f_c T_0 e^{-t_s/\tau}, \quad (4)$$

где  $f_d$  – частота даты. Обратная величина  $\lambda$  называется наработкой на отказ (ННО) и вычисляется по формуле

$$MTBF = \frac{e^{t_s/\tau}}{f_d f_c T_0}. \quad (5)$$

**Постановка задачи.** В ИС широко используются многосинхросигнальные области, что может привести к возникновению метастабильности в разных узлах ИС. Следовательно, неизбежно использование синхронизаторов. Исходя

из этого, возникает задача спроектировать схему, которая сможет обнаружить в ней метастабильное состояние, что в дальнейшем может быть использовано во избежание подобных состояний.

В настоящей работе задача рассматривается на защелке D триггера, для которой и осуществляется обнаружение метастабильного состояния.

**Схема обнаружения метастабильности.** В работе предлагается схема, которая сопоставлена с защелкой для осуществления обнаружения присутствующей в ней метастабильности. Схема обнаруживает и фиксирует случаи нахождения схемы в метастабильном состоянии и неправильного выхода из метастабильного состояния.

На рис. 5 отображена схема, соответствующая предлагаемому методу на вентиляном уровне. Выделенный на рисунке отрезок является схемой, обнаруживающей метастабильное состояние (предлагаемая схема), а другой отрезок – схемой защелки.

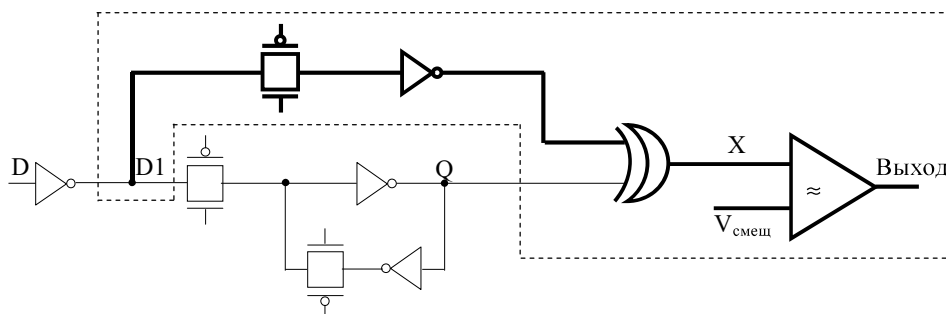


Рис. 5. Предлагаемая схема на вентиляном уровне

Схема действует по следующему принципу:

- с помощью элемента “Исключающее ИЛИ” выполняется наблюдение во входных и выходных узлах защелки – “D1” и “Q” (сигналы сверяются друг с другом). Разница сигналов свидетельствует о метастабильном или неправильно прочтенном сигнале;

- так как полученный результат (узел “X”) не всегда находится на одном из логических уровней, он сравнивается с напряжением смещения. Если полученный результат больше напряжения смещения, то фиксируется метастабильное или неправильно прочтенное состояние, в противном случае – фиксируется, что схема работала правильно (узел “Выход”).

Исследование было проведено на комплементарной металл-оксид-полупроводниковой (КМОП) защелке, схема которой приведена на рис. 6 [6].

Моделирование проводилось с помощью симулятора HSPICE с использованием библиотеки технологии saed32/28 нм.

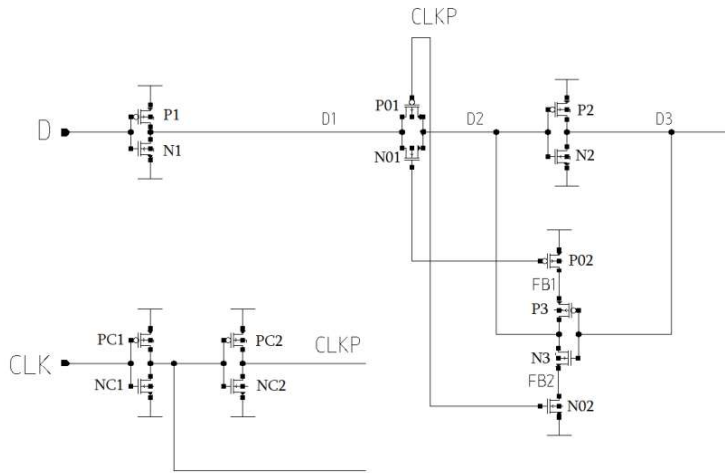


Рис. 6. Схема защелки

В роли схемы “Исключающее ИЛИ” была выбрана схема, приведенная на рис. 7 [7]. Она сравнивает входные сигналы, и при обнаружении разницы выходной сигнал из логического “0” переходит в логическую “1”.

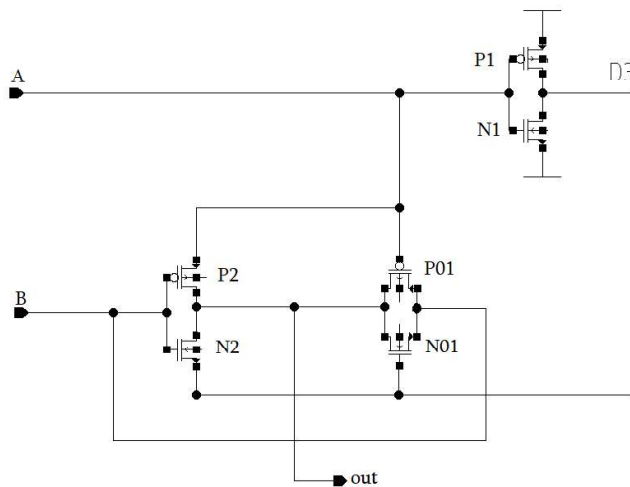


Рис. 7. Схема “Исключающее ИЛИ”

На рис. 8 приведены результаты моделирования выбранной схемы “Исключающее ИЛИ”. Во время моделирования одному из узлов “А” и “В” были присвоены логические уровни, а другому узлу, кроме логических уровней, был присвоен уровень, соответствующий метастабильности (узел “В”). Как видно из рис. 8, при наличии метастабильного состояния уровень выходного сигнала отличается от 0. В дальнейшем, сравнивая этот сигнал с напряжением смещения, на выходе общей схемы устанавливается логический уровень.

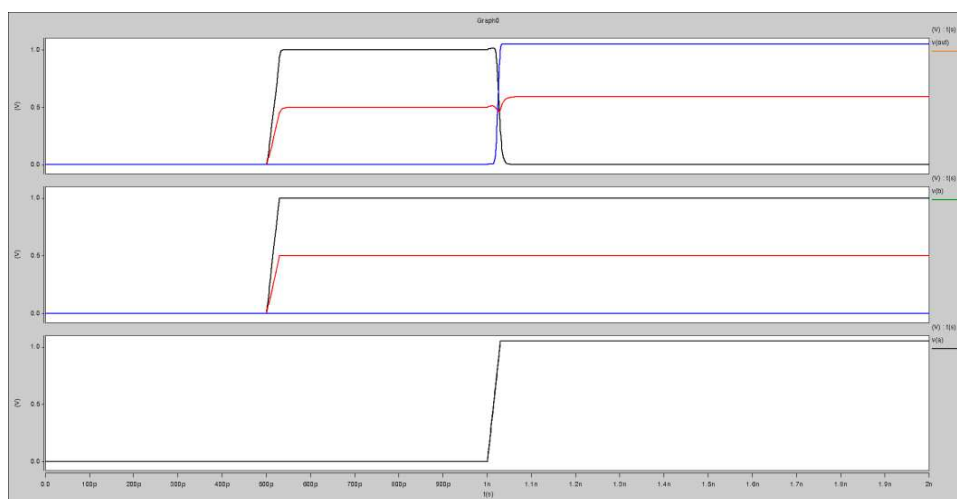


Рис. 8. Результаты моделирования “Исключающее ИЛИ” элемента

На рис. 9 приведена схема выбранного компаратора, где одному из входных узлов задается выходной сигнал “Исключающее ИЛИ”, а другому – напряжение смещения. Нулевой уровень выходного сигнала компаратора свидетельствует о наличии в схеме метастабильности, а уровень “1” – о правильной работе защелки.

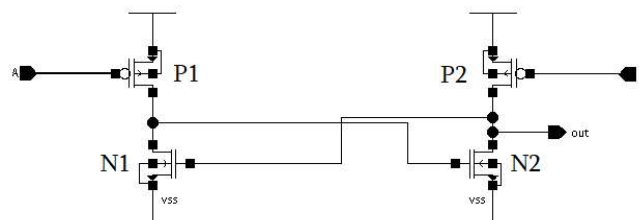


Рис. 9. Схема компаратора

Для проверки работы схемы, обнаруживающей метастабильность, в защелке смоделировано метастабильное состояние (сигнал данных и синхросигнал приближены друг к другу). Спроектированная схема обнаруживает метастабильное состояние, присутствующее в защелке, формируя на выходе уровень логического “0”. И поскольку защелка выходила из метастабильного состояния в неправильном направлении (выходной сигнал защелки в установленном режиме не соответствует входному сигналу защелки), схема, обнаруживающая метастабильность, сохраняет нулевой уровень выходного сигнала (рис. 10).

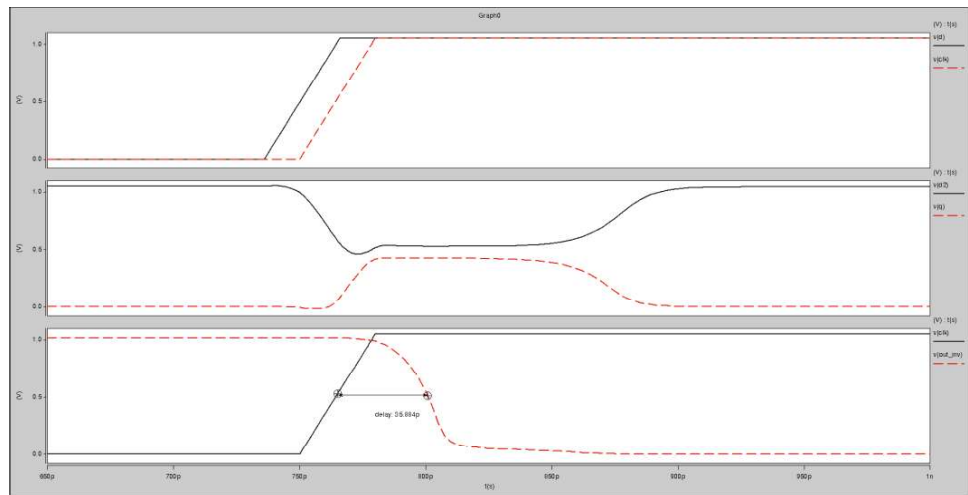


Рис. 10. Результаты моделирования работы предлагаемой схемы

Изучен ряд параметров первичной и предлагаемой схем защелки (табл. 1 и 2). С помощью формул (2) и (3) вычислены время установления ( $T_S$ ) и постоянная времени ( $\tau$ ) (табл. 1). Результаты, приведенные в таблицах, соответствуют типичным условиям: типичный транзистор, температура  $25^{\circ}\text{C}$ , напряжение питания  $1,05\text{ В}$ , при условиях частот синхросигнала в  $1\text{ ГГц}$  и данных в  $0,5\text{ ГГц}$ .

Таблица 1

Параметры вычисления ННО для первичной и предлагаемой схем

Схема	$\tau, \text{нс}$	$T_{\text{SU}}, \text{нс}$	$T_{\text{H}}, \text{нс}$	$T_{\text{S}}, \text{нс}$	$T_0, \text{нс}$
Первичная защелка	18.214	17	6	483	23
Предлагаемая схема защелки	19.451	20	8	480	28

Используя параметры из табл. 1, с помощью формулы (5) можем рассчитать наработку на отказ:

$$MTBF_{\text{Перз}} = \frac{e^{t_s/\tau}}{f_d f_c T_0} = \frac{e^{483/18.214}}{5 \cdot 10^8 \cdot 10^9 \cdot 23 \cdot 10^{-12}} = 2.86 \cdot 10^5 (\text{с}) = 9,06 \cdot 10^{-3} (\text{год}),$$

$$MTBF_{\text{Предз}} = \frac{e^{t_s/\tau}}{f_d f_c T_0} = \frac{e^{480/19.451}}{5 \cdot 10^8 \cdot 10^9 \cdot 28 \cdot 10^{-12}} = 3.73 \cdot 10^4 (\text{с}) = 1,18 \cdot 10^{-3} (\text{год}).$$

Таблица 2

Параметры первичной и предлагаемой схем

Схема	Статичный ток, мкА	Динамичный ток, мкА	Оценка площади, мкм <sup>2</sup>	ННО, год	Обнаружение метастабильности
Первичная защелка	0.791	6.297	3.808	9.06* 10 <sup>-3</sup>	-
Предлагаемая схема защелки	39.9	40	8.07	1.18* 10 <sup>-3</sup>	+

Кроме типичных условий, предлагаемая схема также исследована в крайних рабочих условиях (SS/-40<sup>0</sup>C/0,945 В и FF/125<sup>0</sup>C/1,155 В). Результаты моделирования приведены на рис. 11 и 12.

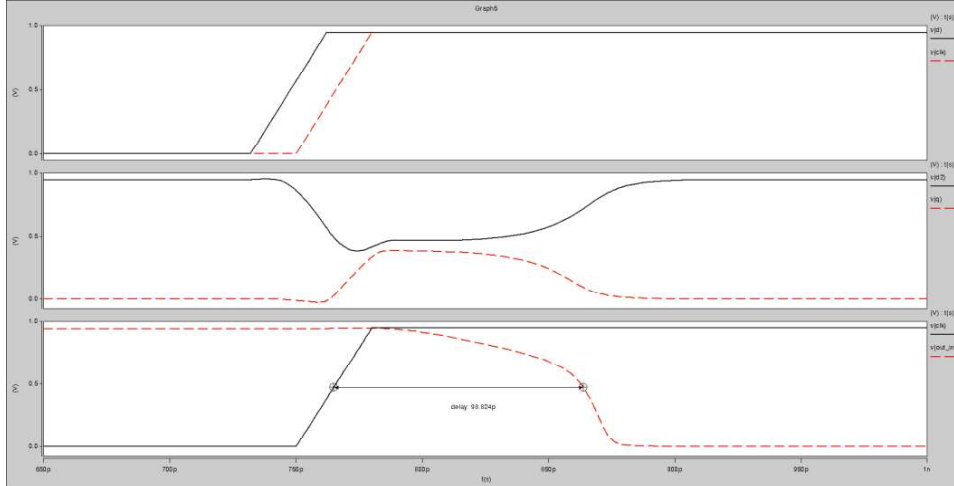


Рис. 11. Результаты моделирования работы предлагаемой схемы для худших условий



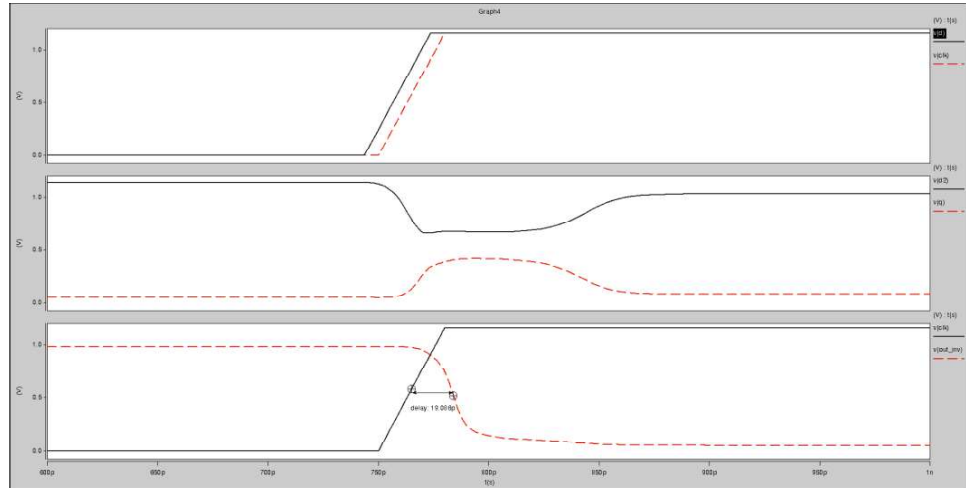
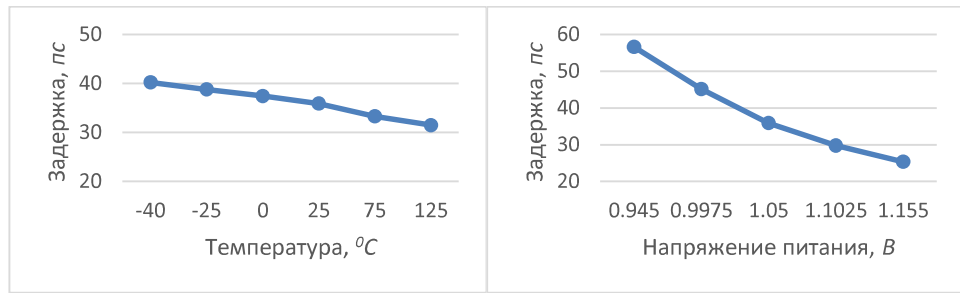


Рис. 12. Результаты моделирования работы предлагаемой схемы для лучших условий

Из рис. 10-12 видно, что в типичных условиях предложенная схема обнаруживает метастабильное состояние, присутствующее в защелке, за 35,84  $ns$ , в худшем случае – 98,82  $ns$  и в лучшем случае – 19,08  $ns$ .

Для типичного случая схема исследована при разных значениях температуры и напряжения питания, результаты которых приведены на рис. 13.



а)

б)

Рис. 13. Зависимость задержки предлагаемой схемы от температуры (а) и напряжения питания (б)

**Заключение.** Изучено явление возникновения метастабильности в защелке синхронизатора. Предложена схема, обнаруживающая метастабильность в защелке, выходной сигнал которой можно использовать во избежание

метастабильного состояния. Учитывая, что синхронизаторы во всей системе встречаются в небольшом количестве, увеличением потребляемого тока и площади, приведенных в результатах исследования, можно игнорировать, поскольку при применении предложенного подхода эти величины увеличатся в незначительных процентах (занимаемая площадь – на 0,009%, потребляемая мощность – на 0,016%).

### Литература

1. **Hatture S., Dhage S.** Multi-clock domain synchronizers // Computation of Power, Energy Information and Communication (ICCPEIC), IEEE International Conference. – 2015. – P. 0403-0408.
2. **Xue S., Oelmann B.** Comparative study of low-voltage performance of standard-cell flip-flops // Electronics, Circuits and Systems. ICECS 2001: The 8th IEEE International Conference. – 2001. – Vol. 2. – P. 953-957.
3. **Melikyan V., Babayan E., Khazhakyan T., Manukyan S.** Analysis of the impact of metastability phenomenon on the latency and power consumption of synchronizer circuits // East-West Design & Test Symposium (EWDTS), IEEE. – 2016. – P. 1-3.
4. **Beer S., Cox J., Chaney T., Zar D.M.** MTBF bounds for multistage synchronizers // Asynchronous Circuits and Systems (ASYNC), IEEE 19th International Symposium. – 2013. – P. 158-165.
5. **Golson Steve.** Synchronization and Metastability. – Synopsys Users Group (SNUG) Silicon Valley, 2014.
6. **Thote V.S., Khetade V.E.** Modified synchronizer for protection from metastability // Recent Trends in Electronics, Information & Communication Technology (RTEICT), IEEE International Conference. – 2016. – P. 1393-1397.
7. **Mishra S.S., Agrawal A.K., Nagaria R.K.** A comparative performance analysis of various CMOS design techniques for XOR and XNOR circuits // International Journal on Emerging Technologies. – 2010. – 1(1). – P. 1-10.

*Поступила в редакцию 07.10.2018.*

*Принята к опубликованию 17.01.2019.*

### ՀԱՄԱԺԱՄԻՉ ՄԻՆԵՄԱՆԵՐՈՒՄ ՄԵՏԱԿԱՅՈՒՆՈՒԹՅԱՆ ՀԱՅՏՆԱԲԵՐՄԱՆ ՄԵԹՈԴ

**Օ.Հ. Պետրոսյան, Զ.Մ. Ավետիսյան, Ա.Ռ. Մարտիրոսյան**

Ներկայումս բյուրեղի վրայի համակարգերում անհրաժեշտություն է առաջանում օգտագործելու մեկից ավելի սինքրոնազդանշանային համակարգեր, որը հնարավորություն է տալիս համատեղելու տարբեր հանգույցների աշխատանքը: Բազմասինքրոնազդանշանային գերմեծ ինտեգրալ սխեմաներում (ԳՄԻՍ), երբ ազդանշանը մի

սինքրոազդանշանով աշխատող տիրույթից փոխանցվում է մեկ այլ սինքրոազդանշանով աշխատող տիրույթ, առաջանում է տարբեր սինքրոազդանշանները միմյանց հետ համաժամեցնելու խնդիր: Այդ անցման հետևանքով առաջացող խնդիրներից խուսափելու միջոցը համաժամիչ սխեմաներն են, որոնք լայնորեն կիրառվում են ներկայիս ԳՄԻՍ-ներում:

Համաժամիչ սխեմաներ չկիրառելու դեպքում մեկ այլ սինքրոազդանշանային տիրույթում աշխատող տվյալը ընթերցող տրիգերում կարող է առաջանալ մետակայուն վիճակ՝ մուտքային ազդանշանների միաժամանակյա ի հայտ գալու պատճառով: Այդ վիճակը կարող է սխեմայի այլ հանգույցների ոչ ճիշտ աշխատանքի պատճառ հանդիսանալ, տարածվել ամբողջ ինտեգրալ սխեմայով (ԻՍ) և հանգեցնել ամբողջ համակարգի սխալ աշխատանքին: Եվ քանի որ սխեմայի մետակայուն վիճակից դուրս գալը որոշակի ճշտությամբ պատահական երևույթ է, անհրաժեշտ է կիրառել սխեմաներն այդ վիճակի մեջ ընկնելուց պաշտպանելու եղանակներ:

Հետազոտվել են համաժամիչ սխեմաները, դրանցում մետակայուն վիճակների առաջացման դեպքերը: Ընտրվել է համաժամիչ սխեմայի սևեռիչը, և նրանում մոդելավորվել է մետակայուն վիճակ: Մշակվել և առաջարկվել է նոր սխեմա, որը կարող է հայտնաբերել համաժամիչ սխեմաներում առաջացած մետակայուն վիճակը: Հետագայում նախագծողը կարող է օգտագործել առաջարկվող սխեմայի ելքային ազդանշանը և խուսափել համակարգում առաջացած մետակայուն վիճակների արդյունքում սխալ ազդանշաններ փոխանցելուց:

**Առանցքային բաներ.** մետակայունություն, բազմասինքրոազդանշանային համակարգ բյուրեղի վրա, համաժամիչ սխեմա, սևեռիչ, D տրիգեր:

## THE METASTABILITY DETECTION METHOD IN SYNCHRONIZERS

O.H. Petrosyan, Z.M. Avetisyan, A.R. Martirosyan

At present, in systems on crystal (SoC), it becomes necessary to use multi-clocking domains which gives an opportunity to combine the collaboration of different blocks of the SoC. In a SoC, when a signal from a clock domain passes to another, a problem to synchronize the signals arises. To avoid that problem synchronizers are designed, which are widely used in very-large-scale integration (VLSI) systems.

In the data receiving trigger, working in the other clock domain, metastability can occur if synchronizers are not used. That state can cause a failure of other nodes and can be spread within the integrated circuit (IC) and bring about failure of the whole system. And as the falling out of the metastable state is an accidental phenomenon with some accuracy, it is necessary to use methods to protect the circuits from metastability.

Synchronizers and reasons of occurrence of metastability have been researched. A latch of synchronizer has been chosen and a metastable state has been modeled in the latch. A new scheme has been developed and proposed which detects metastability in synchronizers. In the future, the circuit designer can use the output signal of the proposed scheme and avoid wrong data transmissions in the system.

**Keywords:** metastability, multi-clocking SoC, synchronizer, latch, D-trigger.