

УДК 621.382

СРАВНИТЕЛЬНЫЙ АНАЛИЗ ЗАПОМИНАЮЩИХ ЯЧЕЕК СТАТИЧЕСКИХ ОПЕРАТИВНЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

О.А. Петросян¹, Н.Б. Авдалян², К.О. Петросян¹

¹Национальный политехнический университет Армении

²ЗАО "Синопис Армения"

Анализируются динамические и статические составляющие потребляемой мощности запоминающих ячеек, а также приведены выражения для их определения. При проектировании сверхбольших интегральных схем важной задачей является снижение динамических токов, для чего в статических оперативных запоминающих устройствах (СОЗУ) при переключении запоминающих ячеек применяются стековые транзисторы, уменьшающие не только динамические токи, но и времена их переключения. Приведены электрические схемы запоминающих ячеек типа бТ и их модификации. Рассмотрены принципы работы и особенности этих запоминающих ячеек. Проведено моделирование токов и быстродействия для трех схем с помощью программного средства HSPICE с технологическими нормами SAED EDK 28 нм. По результатам моделирования активных и пассивных составляющих тока от напряжения питания построены соответствующие зависимости. Сравнительный анализ показал, что типовая запоминающая ячейка имеет наибольший динамический ток, а стековая характеризуется меньшими значениями токов, причем наименьший ток имеет асимметричная ячейка. При этом типовая запоминающая ячейка имеет наименьший статический ток, а стековая характеризуется большими значениями токов, причем наибольший ток имеет асимметричная ячейка. По полученным результатам моделирования построены зависимости времен нарастания и спада фронтов сигнала от напряжения питания. Сравнительный анализ показал, что типовая запоминающая ячейка имеет наибольшее время нарастания и спада фронта, а стековая характеризуется меньшими значениями времени нарастания и спада фронта, причем наименьшее время нарастания и спада фронта характерно для асимметричной стековой запоминающей ячейки. В работе установлено, что применение стековых транзисторов обеспечивает уменьшение динамической составляющей тока, приводящее к увеличению статической составляющей. Показано, что по сравнению с типовой запоминающей ячейкой, стековая и асимметричная ячейки обеспечивают уменьшение динамической составляющей тока на 25 и 65% при увеличении статической составляющей тока на 69 и 280%. Так как динамическая составляющая тока на два порядка превышает статическую составляющую, обеспечивается уменьшение мощности СОЗУ. По сравнению с типовой запоминающей ячейкой, стековая и асимметричная ячейки обеспечивают уменьшение времени нарастания и спада фронта на 34 и 53% и 51 и 58% соответственно.

Ключевые слова: запоминающее устройство, запоминающая ячейка, стековые транзисторы, стековая ячейка, асимметричная стековая ячейка, моделирование.

Введение. При проектировании систем на основе сверхбольших интегральных схем, особенно систем на кристалле, одним из основных устройств являются СОЗУ, т.к. на них рассеивается примерно 60% мощности и 50% временных задержек [1-5]. Поэтому требования к характеристикам СОЗУ, особенно к рассеиваемой мощности и быстродействию, при проектировании сложных систем увеличиваются. При этом важной задачей является выбор структуры запоминающей ячейки (ЗЯ) СОЗУ.

Объект исследования. Потребляемая мощность СОЗУ состоит из динамической и статической составляющих:

$$P = C \cdot V_{DD}^2 \cdot f + I_{leak} \cdot V_{DD},$$

где C - суммарная емкость битовой шины и паразитной емкости; V_{DD} - напряжение питания; I_{leak} - полный ток утечки; f - рабочая частота.

Динамическая мощность, обусловленная переключением элементов, характеризуется активной составляющей тока. Статическая мощность обусловлена пассивной составляющей тока, т.е. токами утечки (в основном, подпороговый ток утечки, ток утечки обратно смещенного р-п перехода и туннельный ток через подзатворный диэлектрик).

Ток подпороговой утечки (sub-threshold leakage) возникает в случае, когда п-МОП транзистор закрыт, и разница напряжений между его стоком и истоком равна напряжению питания:

$$I_{sub} = \mu C_{ox} \varphi_T^2 \frac{W}{L} e^{\frac{V_{GS} - V_{th}}{n\varphi_T}} \left(1 - e^{-\frac{V_{DS}}{\varphi_T}} \right), \quad \varphi_T = \frac{kT}{q},$$

где μ - подвижность носителей заряда; C_{ox} - емкость подзатворного окисла; φ_T - термический потенциал; W, L - соответственно ширина и длина канала транзистора; V_{GS} - напряжение затвор-исток; V_{th} - пороговое напряжение транзистора; n - технологически зависимый параметр; V_{DS} - напряжение сток-исток.

Следует отметить, что с уменьшением технологических норм и порогового напряжения токи подпороговой утечки резко увеличиваются.

Ток утечки обратно смещенного р-п перехода возникает при низком логическом уровне напряжения на входе элемента, а выход-сток п-МОП транзистора подключен к шине питания. В результате между стоком и подложкой возникает обратно смещенный р-п переход с током утечки [1-7]:

$$J = A \frac{EV_{pn}}{E_g^{1/2}} \exp\left(-B \frac{E_g^{1/2}}{E}\right),$$

где $A = \sqrt{2m^* q^3 / 4\pi^3 h^2}$, $B = 4\sqrt{2m^* / 3hq}$; m^* - эффективная масса электрона; E_g - ширина запрещенной зоны; V_{pn} - напряжение обратно смещенного р-п перехода; E - напряженность электрического поля; q - заряд электрона; h - постоянная Планка.

Туннельный ток через подзатворный диэлектрик возникает в случае, когда носители заряда проходят через подзатворный диэлектрик вследствие туннельного эффекта, и определяется выражением [1,3]

$$I_{ox} = W \cdot L \cdot A \cdot \left(\frac{V_{ox}}{t_{ox}} \right)^2 \exp \left(\frac{-B \left(1 - (1 - V_{ox}/\phi_{ox})^{3/2} \right)}{V_{ox}/\phi_{ox}} \right),$$

где $A = q^3 / 16\pi^2 h \phi_{ox}$; $B = 4\pi \sqrt{2m_{ox} \phi_{ox}^{3/2} / 3hq}$; m_{ox} - эффективная масса туннелированных частиц; ϕ_{ox} - высота туннельного барьера; t_{ox} - толщина окисла.

Постановка задачи и обоснование методики. При проектировании сверхбольших интегральных схем важной задачей является снижение динамических токов, особенно при низком напряжении питания. Для этой цели чаще всего в СОЗУ при переключении ЗЯ применяются стековые (stack) транзисторы, которые уменьшают не только динамические токи, но и времена их переключения. Целью работы является сравнительный анализ динамических и статических токов потребления, а также быстродействия наиболее распространенных ЗЯ СОЗУ для обеспечения выбора ЗЯ с наименьшей рассеиваемой мощностью.

Запоминающая ячейка типа 6Т. Рассмотрим принцип работы ЗЯ типа 6Т, приведенной на рис. 1. При считывании информации на шину выбора строки накопителя WL подается сигнал логической "1", и тогда сохраненная информация в ЗЯ с соответствующих внутренних точек Q и QB разрежается на битовых BL и BLB линиях. В результате разница потенциалов передается усилителю, и на его выходе формируется либо сигнал логической "1" (когда $BL > BLB$), либо сигнал логического "0" (когда $BLB > BL$).

При записи информации на шину WL выбора строки накопителя подается сигнал логической "1". Тогда в ЗЯ с соответствующей битовой шины записывается логическая "1" или логический "0", в зависимости от записываемой информации. После операции записи на шине WL устанавливается логический "0", и записанная информация сохраняется с помощью четырех транзисторов - M2, M3, M4 и M5.

Запоминающая ячейка со стековой структурой. Электрическая схема ЗЯ

со стековой структурой приведена на рис. 2. Для сохранения информации ответственными транзисторами являются M2, M3, M4 и M5, а транзисторы M7, M8, M9 и M10 при переключении элемента предназначены для снижения токов утечки благодаря отсутствию пути для протекания тока от шины питания к земле.

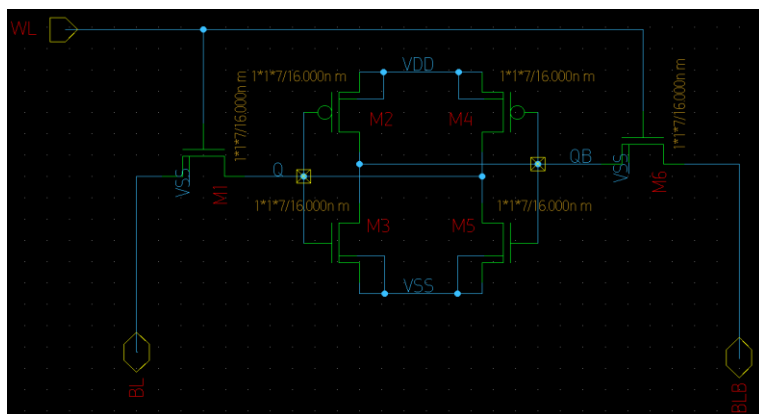


Рис. 1. Электрическая схема ЗЯ 6Т

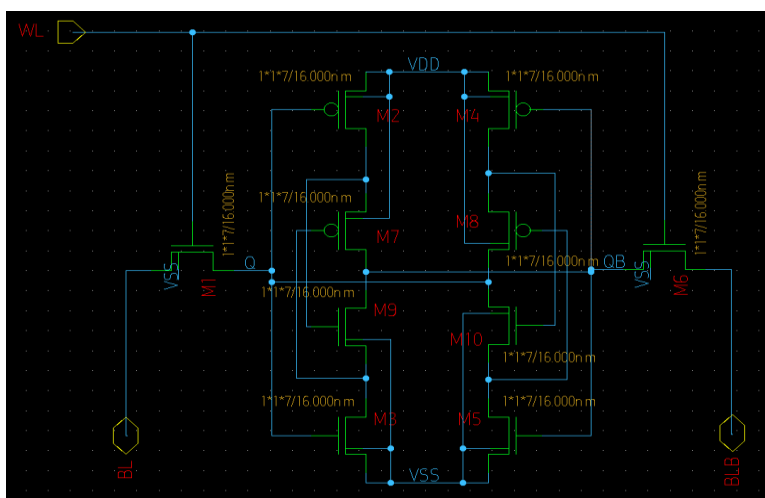


Рис. 2. Электрическая схема ЗЯ со стековой структурой

Рассмотрим принцип работы такой ЗЯ. Если во внутренних точках Q и QB ЗЯ имеются логические уровни "1" и "0" соответственно, то транзистор M2 закрыт, а M3 открыт. В результате этого открыт также транзистор M7, а транзистор M9 закрыт, т.к. в точке QB имеется логический "0". То же самое происходит в обратной ветви, но в инверсном варианте. В результате в каждой ветви ЗЯ имеется два транзистора, которые при переключении элемента

закрываются, тем самым предотвращая протекание тока от шины питания к земле более эффективно, чем при одном транзисторе.

Запоминающая ячейка с асимметричной стековой структурой.
Электрическая схема ЗЯ с асимметричной стековой структурой приведена на рис. 3.

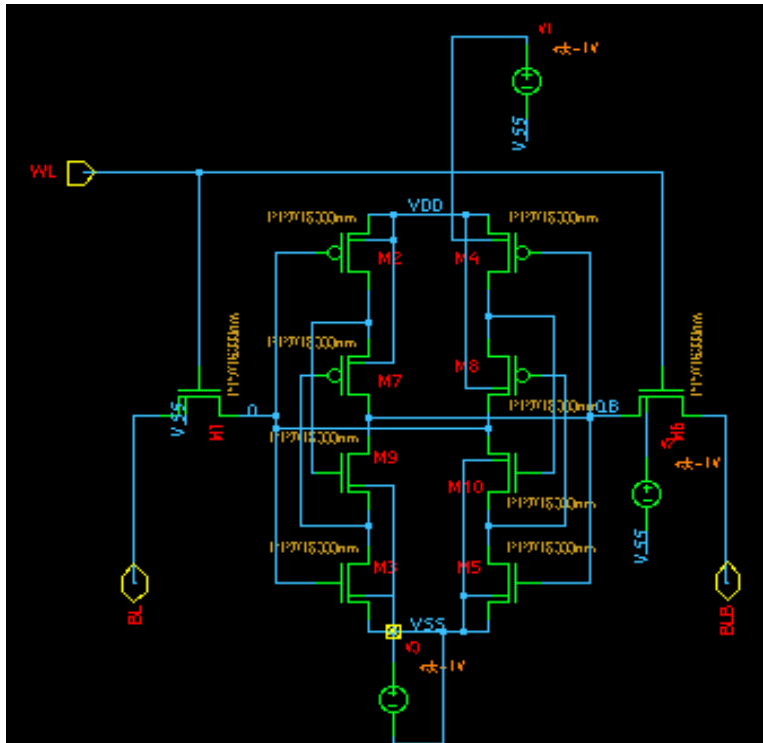


Рис. 3. Электрическая схема ЗЯ со стековой асимметричной структурой

Как видно из рис. 3, в электрической схеме, по сравнению с ЗЯ, приведенной на рис. 2, дополнительно введены источники напряжения, с помощью которых к подложкам транзисторов M3, M4 и M6 подается потенциал величиной 1 В. Введение дополнительных источников питания обеспечивает уменьшение токов, текущих из шины питания к земле, а следовательно, и подпороговых токов.

Проведено моделирование токов и быстродействия для рассмотренных выше трех схем с помощью программного средства HSPICE с технологическими нормами SAED EDK 28 нм для значений напряжения питания: 0,8; 0,9 и 1 В.

Результаты моделирования активных и пассивных составляющих тока от напряжения питания приведены на рис. 4 и 5.

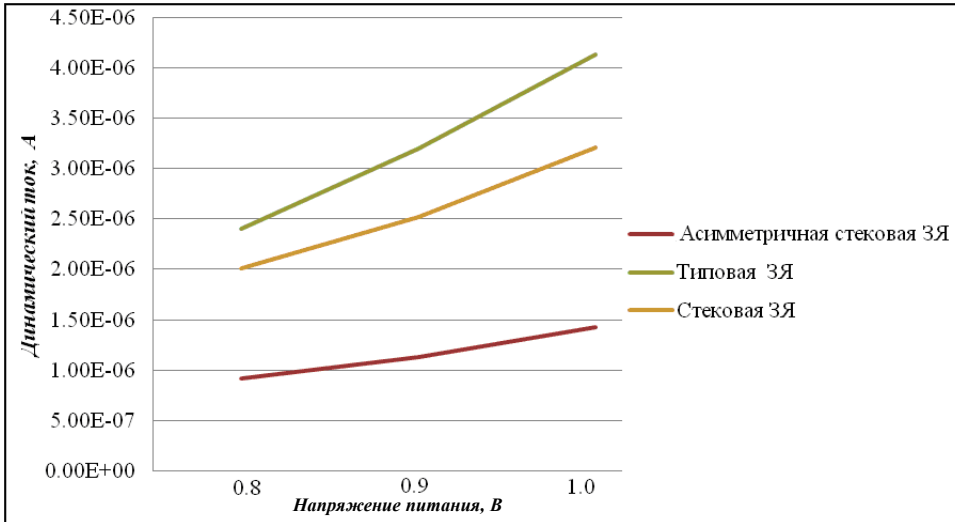


Рис. 4. Зависимость динамической составляющей тока от напряжения питания

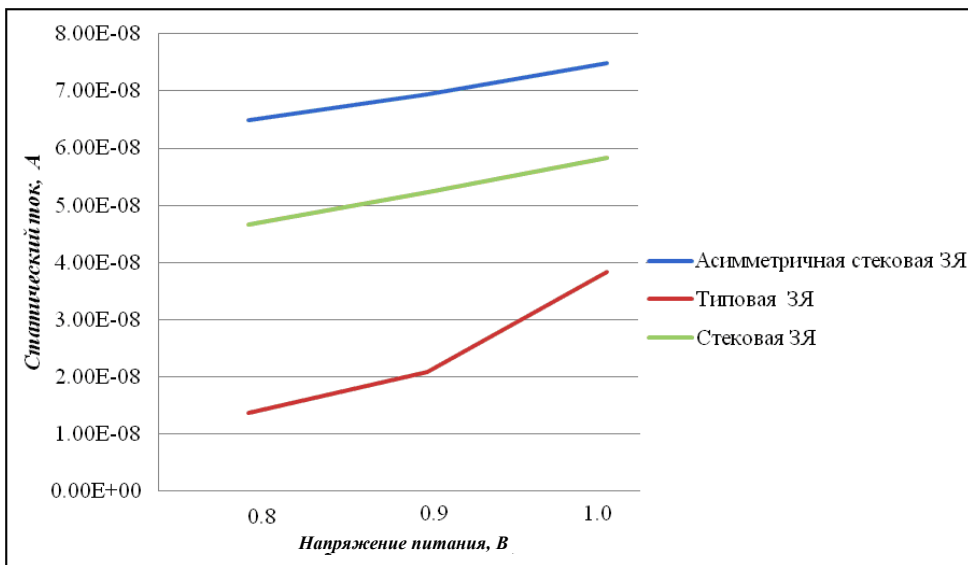


Рис. 5. Зависимость статической составляющей тока от напряжения питания

Как видно из рис. 4, типовая ЗЯ имеет наибольший динамический ток, а стековая ЗЯ характеризуется меньшими значениями токов, причем наименьший ток имеет асимметричная стековая ЗЯ. Из рис. 5 видно, что типовая ЗЯ имеет наименьший статический ток, а стековая ЗЯ характеризуется большими значениями токов, причем наибольший ток имеет асимметричная стековая ЗЯ. Результаты моделирования быстродействия от напряжения питания для рассмотренных схем приведены на рис. 6 и 7. Из них видно, что типовая ЗЯ

имеет наибольшее время нарастания и спада фронта, а стекловая ЗЯ характеризуется меньшими значениями времени нарастания и спада, причем наименьшее время нарастания и спада имеет асимметричная стекловая ЗЯ.

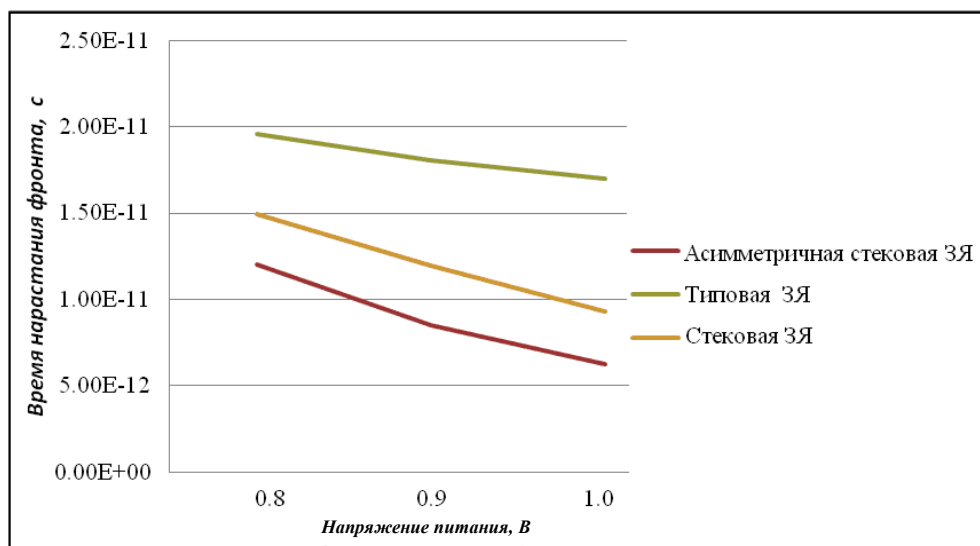


Рис. 6. Зависимость времени нарастания фронта от напряжения питания

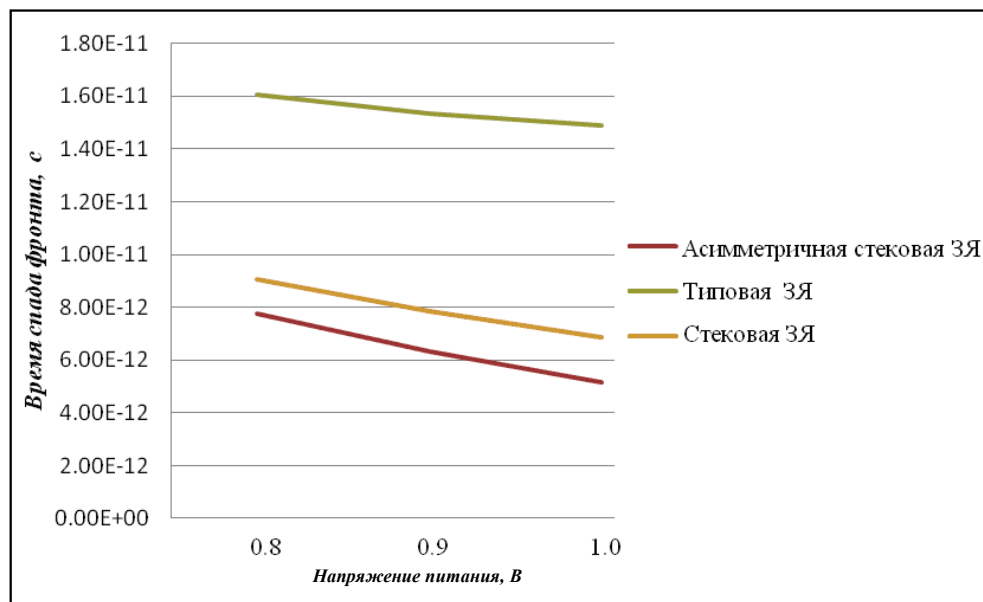


Рис. 7. Зависимость времени спада фронта от напряжения питания

Выводы

1. Установлено, что применение стековых транзисторов в ЗЯ обеспечивает уменьшение динамической составляющей тока ЗЯ, что приводит к увеличению статической составляющей тока.
2. Показано, что по сравнению с типовой ЗЯ, стековая ЗЯ обеспечивает уменьшение динамической составляющей тока на 25% при увеличении статической составляющей тока на 69%, а асимметричная стековая ЗЯ - 65% при увеличении статической составляющей на 280%. Однако с учетом того, что на уровне одной ЗЯ динамическая составляющая тока на два порядка превышает статическую составляющую тока, в результате обеспечивается существенное уменьшение рассеиваемой мощности СОЗУ.
3. Показано, что по сравнению с типовой ЗЯ, стековая обеспечивает уменьшение времени нарастания и спада фронта на 34 и 53% соответственно, а асимметричная стековая - на 51 и 58% соответственно.

Литература

1. **Мурашко И.А.** Методы оценки рассеиваемой мощности в цифровых КМОП схемах // Доклады БГУИР. - 2007. - № 1 (17). - С. 100-108.
2. **Белоус А.И., Мурашко И.А., Сякерский В.С.** Методы минимизации энергопотребления при проектировании КМОП БИС // Технология и конструирование в электронной аппаратуре. - 2008. - №2. - С. 39-44.
3. **Петросян О.А., Авдалян Н.Б., Меликян Г.Ш.** Сравнительная оценка рассеиваемой мощности накопителей КМОП статических оперативных запоминающих устройств // Вестник ГИУА. Серия "Информационные технологии, электроника, радиотехника". - 2014. - Вып.17, №1. - С. 60-68.
4. **Петросян О.А., Авдалян Н.Б.** Разработка обобщенного метода минимизации рассеиваемой мощности логических КМОП схем // Известия НАН РА и НПУА. Сер. Техн. наук. - 2015.-Т. 68, № 4. - С. 454-464.
5. **Պետրոսյան Օ.Օ., Ավալյան Ն.Բ.** Դինամիկ հզորության փոքրացման մեթոդ ԿՄՕԿ գերմեմբ հնտեգրալ սխեմաների տրամաբանական շղթաներում // ՀԱՊՀ Գիտական հոդվածների ժողովածու.- Երևան: Ճարտարագետ, 2016.- Մաս 1. - Էջ 241-246:
6. Leakage Current: Moore's Law Meets Static Power /**Nam Sung Kim**, et al // Authorized licensed use limited to: Rice University. Downloaded on January 26, 2009 at 17:14 from IEEE Xplore. - Restrictions apply, 2009. - P. 68-75.
7. Leakage Current Mechanisms and Leakage Reduction Techniques in Deep-Submicrometer CMOS Circuits // **K. Roy**, et al // Proceedings of IEEE.- New York, Feb. 2003. - V.91, N.2.- P. 305-327.

*Поступила в редакцию 20.09.2016.
Принята к опубликованию 09.12.2016.*

**ՄՏԱՏԻԿ ՕՊԵՐԱՏԻՎ ՀԻՇՈՂ ՍԱՐՔԵՐԻ ՀԻՇՈՂ ԲՋԻՋՆԵՐԻ
ՀԱՄԵՄԱՏԱԿԱՆ ՎԵՐԼՈՒԾՈՒԹՅՈՒՆ**

Օ.Հ. Պետրոսյան, Ն.Բ. Ավդալյան, Կ.Օ. Պետրոսյան

Վերլուծվել են սպառման հզորության դինամիկ և ստատիկ բաղադրիչները, ներկայացվել են դրանց որոշման արտահայտությունները: Գերմեծ ինտեգրալ սխեմաներ նախագծելիս կարևոր խնդիր է դառնում դինամիկ հոսանքների իջեցումը: Դրա համար ստատիկ օպերատիվ հիշող սարքերում հիշող բջիջների փոխանջատման ժամանակ կիրառվում են ստեկային տրանզիստորներ, որոնք փոքրացնում են ոչ միայն դինամիկ հոսանքները, այլև դրանց փոխանջատման ժամանակները: Ներկայացվել են 6T տիպի հիշող բջջի և լրացուցիչ ստեկային տրանզիստորների կիրառմամբ մոդիֆիկացումների էլեկտրական սխեմաները: Դիտարկվել են հիշող բջիջների աշխատանքի սկզբունքները և առանձնահատկությունները: Դիտարկված երեք սխեմաների համար կատարվել է հոսանքների և արագագործության մոդելավորում HSPICE ծրագրային միջոցով SAED EDK 28 նմ տեխնոլոգիական նորմերով սնման լարման երեք արժեքների համար: Մոդելավորման արդյունքներով հոսանքի ակտիվ և պասսիվ բաղադրիչների համար կառուցվել են սնման լարումից համապատասխան կախվածությունները: Կատարված համեմատական վերլուծությունը ցույց է տվել, որ տիպային հիշող բջիջն ունի ամենամեծ դինամիկ հոսանքը, իսկ ստեկային հիշող բջիջը բնութագրվում է հոսանքի փոքր արժեքներով, ընդ որում, ամենափոքր հոսանքն ունի ասիմետրիկ ստեկային հիշող բջիջը: Այդ դեպքում տիպային հիշող բջիջն ունի ամենափոքր ստատիկ հոսանքը, իսկ ստեկային հիշող բջիջը բնութագրվում է հոսանքի մեծ արժեքներով, ընդ որում, ամենամեծ հոսանքն ունի ասիմետրիկ ստեկային հիշող բջիջը: Մոդելավորման արդյունքներով կառուցվել են դիտարկված սխեմաների համար ազդանշանի աճման և նվազման ճակատների ժամանակների կախվածությունները սնման լարումից: Դրանց համեմատական վերլուծությունը ցույց է տվել, որ տիպային հիշող բջիջն ունի ճակատի ամենամեծ աճի և նվազման ժամանակները, իսկ ստեկային հիշող բջիջը բնութագրվում է ճակատի աճի և նվազման ժամանակների փոքր արժեքներով, ընդ որում, ասիմետրիկ հիշող բջիջն ունի ամենափոքր ճակատի աճի և նվազման ժամանակները: Հաստատվել է, որ հիշող բջիջներում ստեկային տրանզիստորների կիրառումն ապահովում է հիշող բջջի հոսանքի դինամիկ բաղադրիչի փոքրացումը, որը հանգեցնում է հոսանքի ստատիկ բաղադրիչի մեծացմանը: Ցույց է տրվել, որ տիպային հիշող բջջի համեմատ ստեկային և ասիմետրիկ ստեկային հիշող բջիջներն ապահովում են հոսանքի դինամիկ բաղադրիչի փոքրացում` 25% և 65%, երբ հոսանքի ստատիկ բաղադրիչները մեծանում են` 69% և 280%: Հաշվի առնելով, որ հոսանքի դինամիկ բաղադրիչը երկու կարգով գերազանցում է հոսանքի ստատիկ բաղադրիչին, ապահովվում է հիշող սարքի սպառման հզորության փոքրացումը: Տիպային հիշող բջջի համեմատ ստեկային և ասիմետրիկ ստեկային հիշող բջիջներն ապահովում են ճակատի աճի և նվազման ժամանակների համապատասխանաբար 34% և 51%, և 57% և 54% փոքրացում:

Առանցքային բառեր. հիշող սարք, հիշող բջիջ, ստեկային տրանզիստորներ, ստեկային բջիջ, ասիմետրիկ ստեկային բջիջ, մոդելավորում:

COMPARATIVE ANALYSIS OF STORAGE CELLS OF STATIC RANDOM ACCESS MEMORY DEVICES

O.H. Petrosyan, N.B. Avdalyan, K.O. Petrosyan

The dynamic and static components of the consumed power of memory cells are analyzed, as well as expressions for their determination are introduced. At the design of VLIC, an important task is to reduce the dynamic currents. To do this, more often, in the static random access memory, when switching the storage cells, stack transistors are applied, which reduce not only the dynamic currents, but also the times of their switching. The electrical circuits of the type 6T and its modifications are given. The principles of operation and features of the SOT are considered. The simulation of currents and speed for the considered three schemes with the help of the software HSPICE with technological standards SAED EDK 28 nm for the three voltage values is carried out. According to the results of modeling of the active and passive components of the current from the supply voltage, corresponding dependences are built. The comparative analysis showed that the template W1 has the most dynamic current, and the stack W1 is characterized by lower current values, and the smallest current is asymmetric stack W1. At the same time, the typical W1 has the lowest static current and the stack W1 is characterized by high values of currents, and the largest current is asymmetric stack W1. According to the results of modeling, the dependences of the periods of rise and fall of the signal edges from the supply voltage are obtained. The comparative analysis of these showed that the typical W1 has the greatest rise and fall of the front, and the stack W1 is characterized by lower values of the rise time and fall front. The smallest rise and fall times of the front is characteristic of the asymmetric stack W1. The use of stack transistors in W1 reduces the dynamic component of the W1 current, which leads to an increase in the static component of the current. It is shown that as compared with the standard stacking and asymmetry indices W1 stack provides a reduction of the dynamic component of the current by 25% to 65%, increasing the static component of the current by 69% and 280%. Given the fact that the dynamic component of the current is two orders of magnitude greater than the static component, the power of SRAM decreases. Compared to a typical W1, the W1 stack and asymmetry indices provide a reduction in the rise and fall times on the front by 34% and 51%, and 57% and 54%, respectively.

Keywords: storage device, memory cell, stacking transistors, stack cell, stack asymmetric cell, modeling.