

УДК 621.382

## СРАВНИТЕЛЬНЫЙ АНАЛИЗ СПОСОБОВ ПОСТРОЕНИЯ ДЕШИФРАТОРОВ

О.А. Петросян<sup>1</sup>, Н.Б. Авдалян<sup>2</sup>, А.С. Оганесян<sup>2</sup>

<sup>1</sup>Национальный политехнический университет Армении

<sup>2</sup>ЗАО "Синописис Армения"

Исследованы способы построения дешифраторов адреса, являющихся одним из основных узлов запоминающих устройств. Приведены система уравнений описания их выходного сигнала и выражения для определения числа двухвходовых логических элементов И-НЕ или ИЛИ-НЕ при одновременном использовании этих элементов для их построения. Рассмотрены 8- и 16 - разрядные дешифраторы с тремя схемотехническими решениями: линейные, на логических элементах И-НЕ и ИЛИ-НЕ и по предложенному методу, реализованные по КМОП технологии. Для проектирования дешифраторов адреса с целью обеспечения минимальной динамической рассеиваемой мощности анализированы предложенные два способа их создания, которые необходимо применять для правильного сочетания логических элементов. Проведены моделирование схем дешифраторов адреса со структурами 3×8 и 4×16 с тремя вариантами их построения с помощью программного средства Hspice, а также топологическое проектирование с помощью программного пакета Custome Designer. Полученные результаты моделирования и топологического проектирования рассмотренных дешифраторов адреса для разных режимов работы сведены в таблицу, построены графики зависимостей разбросов временных задержек и фронтов выходных сигналов. Дан сравнительный анализ временных характеристик, мощности и занимаемой площади рассмотренных дешифраторов адреса. Результаты сравнительного анализа показали, что предложенный метод обеспечивает малый разброс времен задержек и фронтов выходных сигналов, которые уменьшаются с увеличением разрядности дешифратора, что является важным показателем запоминающих устройств, и, кроме того, позволяет создать дешифраторы, в которых отсутствует возможность возникновения ложных сигналов, что в итоге приводит к уменьшению динамической рассеиваемой мощности.

**Ключевые слова:** запоминающее устройство, рассеиваемая мощность, дешифратор, моделирование, ложный сигнал, время задержки, фронт сигнала, топология.

**Введение.** При проектировании запоминающих устройств одним из основных блоков является дешифратор адреса (ДА), т.к. на него рассеивается примерно 40...45% мощности, а также около 50% временных задержек [1-5]. При этом важной задачей является выбор структуры ДА. Целью работы является

исследование способов построения ДА, обеспечивающих малый разброс времен задержек и фронтов сигнала и минимальную рассеиваемую мощность.

**Объект исследования.** ДА имеет линейную или пирамидальную структуру с  $2^n$  выходами, на одном из которых формируется высокий (логическая единица) или низкий (логический ноль) потенциал, а на остальных - низкий или высокий потенциал. Состояние выходного сигнала  $y_i$  описывается системой условий

$$y_i = \begin{cases} 0, & \text{если } i = k; \\ 1, & \text{если } i \neq k; \\ k = 2^{n-1} \cdot x_{n-1} + \dots + 2^1 \cdot x_1 + 2^0 \cdot x_0. \end{cases}$$

ДА выполняются линейной и многоступенчатой структурами. Линейные ДА характеризуются минимальной задержкой. При росте разрядности ДА выполняются по многоступенчатой - пирамидальной схеме, первая ступень которой является линейным ДА. Каждая последующая ступень управляется дополнительной входной переменной. Задержка распространения сигнала в таких ДА в  $l$  (число ступеней) раз больше, чем в линейном. Число необходимых двухвходовых логических элементов (ЛЭ) (И-НЕ или ИЛИ-НЕ) для таких ДА имеет вид

$$K_{\text{И (ИЛИ)}} = 1 + l + \sum_{i=1}^l 2^{i+2}.$$

При одновременном использовании ЛЭ И-НЕ и ИЛИ-НЕ требуемое число двухвходовых ЛЭ уменьшается вдвое:

$$K_{\text{И + ИЛИ}} = 1 + l + \sum_{i=1}^l 2^{i+1}.$$

Правильным выбором структуры ДА можно уменьшить временные задержки и рассеиваемую мощность. В ДА на основе ЛЭ И используются двухвходовые ЛЭ И, так как увеличение числа входов приводит к увеличению временных задержек. По КМОП технологии, ЛЭ И реализуется с помощью ЛЭ И-НЕ и НЕ, следовательно, такое построение ДА приводит к увеличению рассеиваемой мощности и временных задержек. Из табл.1 видно, что в ЛЭ И-НЕ только при комбинации 11 на выходе формируется логический 0.

Для ЛЭ ИЛИ-НЕ только при комбинации 00 на выходе формируется логическая 1, а для других комбинаций - логический 0.

Динамическая рассеиваемая мощность обусловлена переключением схемы от одного логического состояния в другое. При правильном сочетании ЛЭ И-НЕ

и ИЛИ-НЕ можно уменьшить количество переключений и динамическую мощность. Для правильного сочетания необходимо применять два принципа.

1. Если требуется на выходе высокий логический уровень (1), то необходимо в этом каскаде применять ЛЭ ИЛИ-НЕ (табл.1).

2. Если требуется на выходе низкий логический уровень (0), то необходимо в этом каскаде применять ЛЭ И-НЕ (табл.1).

Таблица 1

Таблицы истинности ЛЭ И, ИЛИ, И-НЕ и ИЛИ-НЕ

Входная комбинация		Выходные значения			
a	b	И	ИЛИ	И-НЕ	ИЛИ-НЕ
0	0	0	0	1	1
0	1	0	1	1	0
1	0	0	1	1	0
1	1	1	1	0	0

Из этих принципов очевидно, что если знаем выходной сигнал хотя бы одного каскада, т.е. тип ЛЭ (ИЛИ-НЕ, И-НЕ), то будут известны и типы ЛЭ предыдущих и последующих каскадов [4,5]; если n-й выход ДА должен иметь высокий уровень, то в этом каскаде необходимо использовать ЛЭ ИЛИ-НЕ, а в каскадах n-1 и n+1 - ЛЭ И-НЕ. В таких ДА младший бит проходит по всем каскадам, а старший бит - только по последнему каскаду, т.е. входы распространяются разными путями, приводящими к формированию на выходе ложных сигналов [4,5] и к дополнительной рассеиваемой мощности.

**Постановка задачи и обоснование методики.** Целью работы является разработка ДА на основе созданного метода и проведение сравнительной оценки разбросов их временных параметров с аналогичными параметрами типовых ДА с учетом увеличения разрядности. Сущность созданного метода минимизации рассеиваемой мощности в виде алгоритма синтеза сводится к следующему [6]:

1. Задается функция, для которой необходимо рассчитать активность переключения в конъюнктивной нормальной (КНФ) или дизъюнктивной нормальной (ДНФ) форме.

2. Составлен вероятностный вектор входных сигналов  $P = |p_1, p_2, p_3, p_4, \dots, p_n|$ .

3. Из заданного вероятностного вектора  $P = |p_1, p_2, p_3, p_4, \dots, p_n|$  выбирается пара, активность переключения которой наименьшая на основании рассмотренных выше формул  $\lim(\text{пара } p_2, \dots, p_3) = \min$ . Тогда вероятность данной пары из заданного вероятностного вектора заменяется вероятностью сигнала нового ЛЭ  $P = |p_1, p_2, p_3, p_4, \dots, p_n|$ .

4. Действие согласно пункту 3 осуществляется до тех пор, пока содержимое вероятностных векторов не станет равным 1.

5. Выбираются два разных пути от входа к выходу, активности переключения которых соответственно равны:  $W(1) = m$ ,  $W(2) = n$ , причем  $m > n$ .

6. Вычисляется разница  $W(1) - W(2) = m - n$  активностей переключения.

7. Задается пороговое значение  $t = x$ , которое может изменяться в зависимости от технологии в пределах 0,3...2.

8. Добавляется инверторная реплика, если  $W(1) - W(2) > t$  или  $m - n > x$ .

9. Вычисляется активность переключения инверторной реплики  $r = W(\text{rep})$ .

10. Вычисляется число пар инверторной реплики  $d$ :

$$d = \frac{w(1)-w(2)}{w(\text{rep})}.$$

11. На коротком пути добавляется реплика количеством  $d$  и проверяется следующее условие:  $|(n + d * r) - m| \leq x$ , удовлетворяется конец алгоритма. В противном случае, на короткий путь добавляются реплики количеством  $d-1$  и  $d+1$ . Из этих трех вариантов выбирается вариант с наименьшей разницей.

Программным пакетом Custome Designer проведено топологическое проектирование типовых ДА и ДА с использованием преддешифратора и инверторных реплик. В результате полученных описаний проведено моделирование программным инструментом Hspice (рис. 1-6).

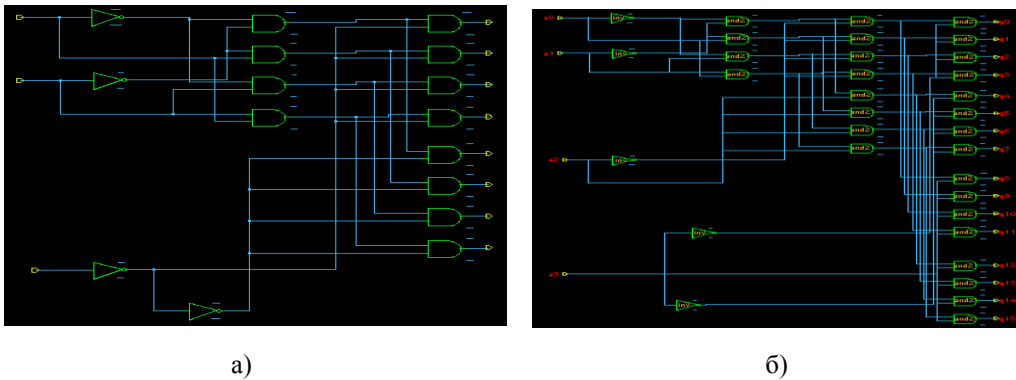
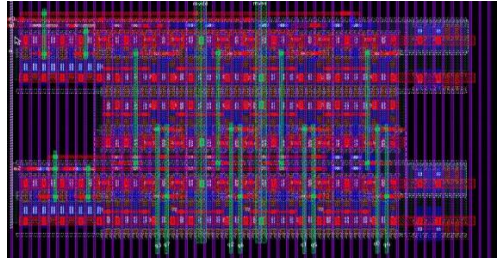
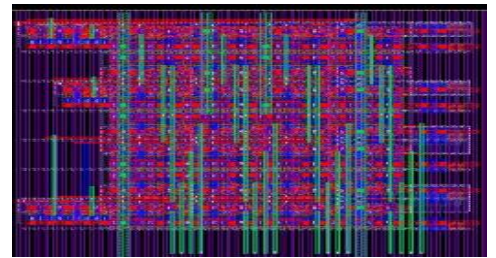


Рис. 1. Схемы линейных ДА: а - 3×8, б - 4×16

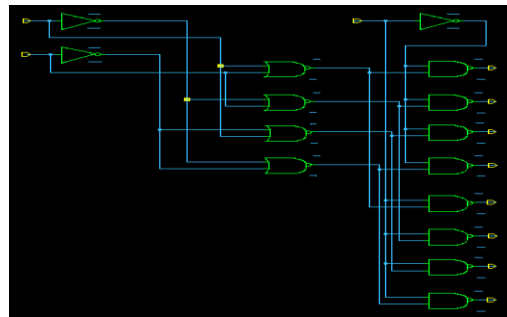


а)

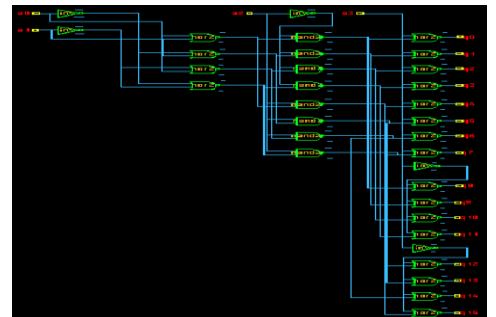


б)

Рис. 2. Топологии линейных ДА: а -  $3 \times 8$ , б -  $4 \times 16$

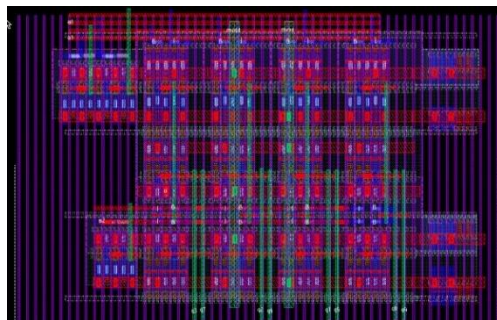


а)

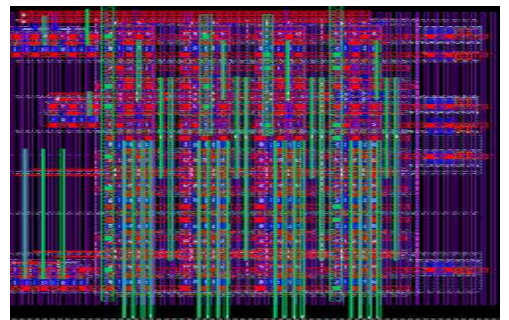


б)

Рис. 3. Схемы ДА на ЛЭ И-НЕ и ИЛИ-НЕ: а -  $3 \times 8$ , б -  $4 \times 16$



а)



б)

Рис. 4. Топологии ДА на ЛЭ И-НЕ и ИЛИ-НЕ: а -  $3 \times 8$ , б -  $4 \times 16$

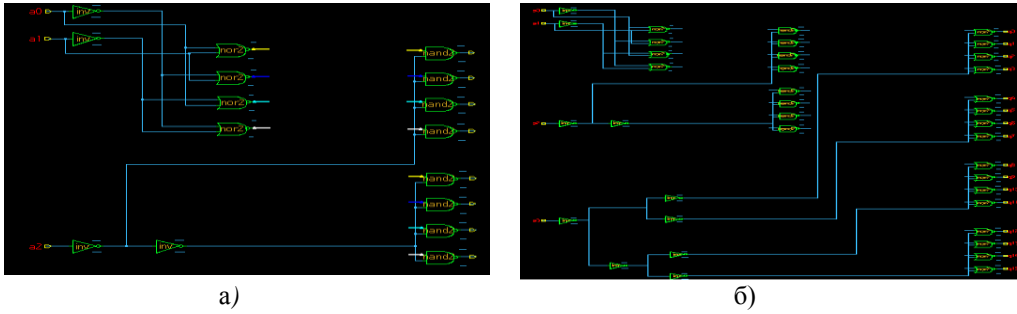


Рис. 5. Схемы ДА, разработанных предложенным методом: а -  $3 \times 8$ , б -  $4 \times 16$

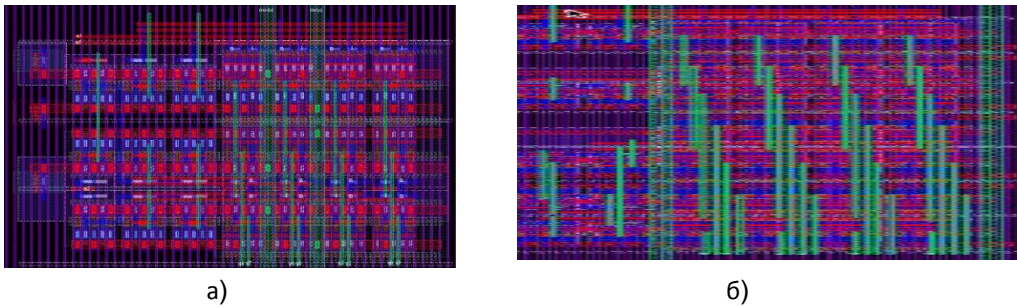


Рис. 6. Топологии ДА, разработанных предложенным методом: а -  $3 \times 8$ , б -  $4 \times 16$

В табл. 2 и 3 приведены результаты исследований по предложенному методу, обеспечивающие построение ДА при отсутствии ложных сигналов [4-6].

Таблица 2

Потребляемая мощность и площади ДА  $3 \times 8$

Схема	Процесс – напряжение - температура	Ток потребления (мкА)	Площадь (мкм <sup>2</sup> )
Рис. 1	типовой, 0,8В, 25 <sup>0</sup> С	85,7	13,3
Рис. 3	типовой, 0,8В, 25 <sup>0</sup> С	77,2	12,1
Рис. 5	типовой, 0,8В, 25 <sup>0</sup> С	82,9	12,5

Таблица 3

Задержки по выходам  $q0$  и  $q15$  и потребляемые мощности ДА

Схема	Процесс – напряжение – температура	Задержка переднего фронта ( $q0$ ), $нс$	Задержка заднего фронта ( $q0$ ), $нс$	Задержка переднего фронта ( $q15$ ), $нс$	Задержка заднего фронта ( $q15$ ), $нс$	Потребляемая мощность, $мкВт$	Площадь, $мм^2$
Рис.1, б	типовой, $0,8В, 25^{\circ}С$	69,54	70,21	59,81	28,93	39,90	125,9
	медленный, $0,8В, -40^{\circ}С$	96,99	98,63	82,58	38,36	33,92	
	медленный, $0,72В, 125^{\circ}С$	91,01	93,54	78,75	35,47	31,73	
	быстрый, $0,88В, -40^{\circ}С$	54,42	54,54	46,43	24,20	50,82	
Рис.2, б	типовой, $0,8В, 25^{\circ}С$	49,50	46,88	53,24	30,81	27,48	124,1
	медленный, $0,8В, -40^{\circ}С$	69,13	63,18	75,30	41,54	23,28	
	медленный, $0,72В, 125^{\circ}С$	63,59	61,64	70,09	38,53	21,87	
	быстрый, $0,88В, -40^{\circ}С$	39,66	37,16	41,35	25,26	35,20	
Рис.3, б	типовой, $0,8В, 25^{\circ}С$	54,11	52,47	59,78	47,32	31,8	134,1
	медленный, $0,8В, -40^{\circ}С$	76,17	69,99	83,20	65,42	26,64	
	медленный, $0,72В, 125^{\circ}С$	69,61	68,92	78,49	61,13	25,38	
	быстрый, $0,88В, -40^{\circ}С$	43,11	41,68	46,57	37,67	40,51	

На основе результатов моделирования построены разбросы временных параметров для ДА  $3 \times 8$  и  $4 \times 16$ , разработанных по предложенному методу, которые приведены на рис. 7 и 8. Показано, что с увеличением разрядности ДА временные разбросы уменьшаются.

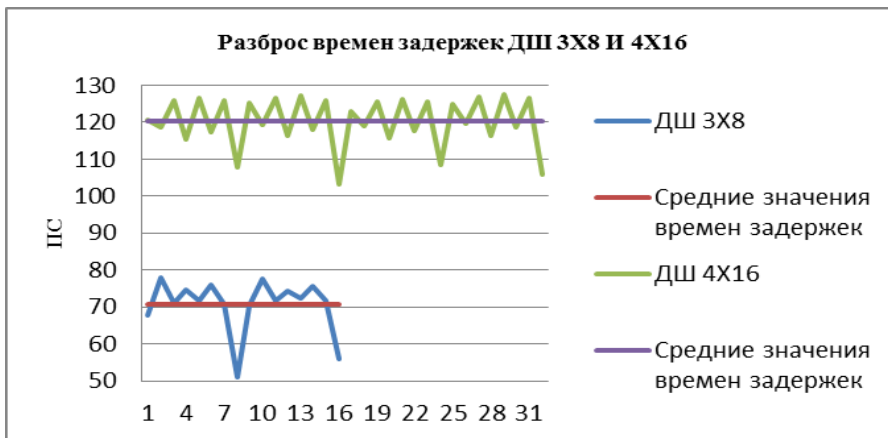


Рис. 7. Зависимость разброса временных задержек по выходам для ДА 3×8 и 4×16, разработанных по предложенному методу, типовой процесс 0,8В, 25 °С

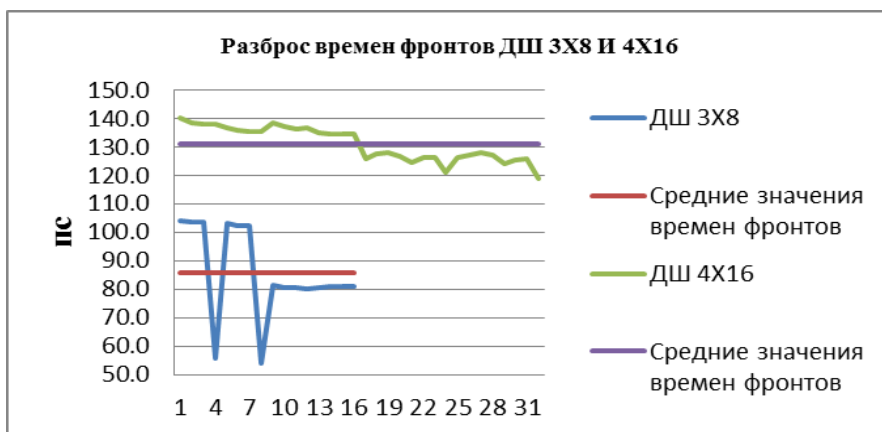


Рис. 8. Зависимость разброса фронтов сигналов по выходам для ДА 3×8 и 4×16, разработанных по предложенному методу, типовой процесс 0,8В, 25 °С

### Выводы

1. Показано, что выбором правильного сочетания логических элементов для построения дешифраторов адреса можно уменьшить количество переключений и динамическую мощность. Проанализированы принципы правильного сочетания.

2. Результаты моделирования 8- и 16- разрядных ДА показали, что разбросы фронтов нарастания и спада выходных сигналов и времен задержек ДА, разработанных предложенным методом, имеют наименьшее значение.

3. Показано, что разброс уменьшается с увеличением разрядности, что подтверждает достоверность предложенного метода.



## Литература

1. **Мурашко И.А.** Методы оценки рассеиваемой мощности в цифровых КМОП схемах // Доклады БГУИР. - 2007. - № 1 (17). - С. 100-108.
2. **Мурашко И.А., Яролик В.Н.** Методы минимизации энергопотребления при самотестировании цифровых устройств. - Минск: Бестпринт, 2004. - 188 с.
3. **Петросян О.А., Авдалян Н.Б., Меликян Г.Ш.** Сравнительная оценка рассеиваемой мощности накопителей КМОП статических оперативных запоминающих устройств // Вестник ГИУА. Серия "Информационные технологии, электроника, радиотехника". – 2014. - Вып.17, №1. - С. 60-68.
4. **Petrosyan O.H., Avdalyan N.B., Julhakyan H.K.** The new method development for the construction of low power consumption decoders // Semiconductor micro- & nanoelectronics 10th International conference, September 11-13, 2015. - Yerevan, Armenia, 2015. - P. 157-163.
5. **Авдалян Н.Б.** Методика выбора способа построения дешифраторов адреса с минимальной рассеиваемой мощностью // Сборник научных трудов по материалам Межд. науч.-практ. конф. "Наука и образование в жизни современного общества", 30 апреля 2015.-Тамбов, Россия, 2015. -Том 7. - С. 8-14.
6. **Петросян О.А., Авдалян Н.Б.** Разработка обобщенного метода минимизации рассеиваемой мощности логических КМОП схем // Известия НАН РА и НПУА. Сер. Техн. наук. - 2015. - Т. 68, № 4. - С. 454-464.

*Поступила в редакцию 29.03.2016.  
Принята к опубликованию 20.05.2016.*

**ՎԵՐՄԱՆԻՉՆԵՐԻ ՎԱՌՈՒՑՄԱՆ ԵՂԱՆԱԿՆԵՐԻ ՀԱՄԵՄՏԱՍԿԱՆ ՎԵՐԼՈՒԾՈՒԹՅՈՒՆ**

**Օ.Հ. Պետրոսյան, Ն.Բ. Ավդալյան, Ա.Ս. Հովհաննիսյան**

Հետազոտվել են հասցեների վերծանիչի՝ որպես հիշող սարքերի հիմնական հանգուցներից մեկի կառուցման եղանակները, ներկայացվել են նրա ելքային ազդանշանի նկարագրման հավասարումների համակարգը և դրանց կառուցման համար երկմուտքանի ԵՎ-ՈՉ կամ ԿԱՄ-ՈՉ տրամաբանական տարրերի և այդ տարրերի միաժամանակ օգտագործման քանակների արտահայտությունները: Դիտարկված են ուլթ և տասնվեց-կարգանի վերծանիչներ երեք սխեմատեխնիկական լուծումներով՝ գծային, ԵՎ-ՈՉ, ԿԱՄ-ՈՉ տրամաբանական տարրերի հիման վրա և առաջարկված մեթոդով իրականացված ԿՄՕԿ տեխնոլոգիայով: Դինամիկ ցրման նվազագույն հզորություն ապահովելու նպատակով հասցեների վերծանիչների նախագծման համար վերլուծված են դրանց ստեղծման երկու եղանակները, որոնք անհրաժեշտ է կիրառել տրամաբանական տարրերի ճիշտ համակցման համար: Վատարված է  $3 \times 8$  և  $4 \times 16$  կառուցվածքներով հասցեների վերծանիչների մոդելավորում դրանց կառուցման երեք տարբերակներով՝ Hspice ծրագրային միջոցի, ինչպես

նան տոպոլոգիական նախագծում Custome Designer ծրագրային փաթեթի կիրառմամբ: Կատարվել է ժամանակային բնութագրերի, հզորության և զբաղեցրած մակերեսի համեմատական վերլուծություն, որոնք ցույց են տվել, որ առաջարկված մեթոդն ապահովում է ելքային ազդանշանների հապաղումների և ճակատների փոքր ցրվածություն, որոնք փոքրանում են վերծանիչի կարգայնության մեծացմանը զուգընթաց, ինչը հիշող սարքերի համար շատ կարևոր ցուցանիշ է: Ցույց է տրված, որ հասցեների վերծանիչների կառուցման առաջարկված մեթոդը հնարավորություն է տալիս՝ ստեղծելու վերծանիչներ, որոնցում բացակայում է կեղծ ազդանշանների առաջացման հնարավորությունը, ինչը հանգեցնում է դինամիկ ցրման հզորության փոքրացմանը:

**Առանցքային բառեր.** հիշող սարք, ցրման հզորություն, վերծանիչ, մոդելավորում, կեղծ ազդանշան, հապաղման ժամանակ, ազդանշանի ճակատ, տոպոլոգիա:

## COMPARATIVE ANALYSIS OF THE METHODS FOR CONSTRUCTING DECODERS

**O.H. Petrosyan, N.B. Avdalyan, A.S. Hovhannisyan**

Ways of constructing address decoders - one of the main components of memory devices are investigated. The description system of equations and terms for determining the number of two-input AND gates or NAND and NOR the simultaneous use of these elements for their construction are introduced. Eight and sixteen bit decoders with three engineering solutions: linear, on the logical elements NAND and NOR, and by the proposed methods implemented by the CMOS technology are considered. For the design of address decoders, in order to ensure a minimum of dynamic power dissipation, two ways of creating them to be used for the right combination of logic elements are analyzed. The simulation of the address decoder with structures  $3 \times 8$  and  $4 \times 16$  with three options for constructing them, by using Hspice software tools and physical design, by using software Custome Designer package are carried out. A comparative analysis of timing, power and footprint is performed. Its shows that the proposed method provides a small spread delay times and the fronts of output signals, which decreases with increasing the bit decoder, which is a very important indicator of memory. It is also shown that this method of construction allows the address decoders to create decoders which lack the possibility of false signals resulting in a decrease in dynamic power dissipation.

**Keywords:** storage device, power dissipation, decoder, modeling, a false signal, the delay time, the signal edge, topology.