

УДК 621.382

СРАВНИТЕЛЬНАЯ ОЦЕНКА РАССЕИВАЕМОЙ МОЩНОСТИ НАКОПИТЕЛЕЙ КМОП СТАТИЧЕСКИХ ОПЕРАТИВНЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

О.А. Петросян¹, Н.Б. Авдалян², Г.Ш. Меликян¹

¹ Государственный инженерный университет Армении (Политехник)

² ЗАО "Синописис Армения"

При разработке сверхбольших интегральных схем комплементарных металл-окисел-полупроводник (КМОП) запоминающих устройств оценка рассеиваемой мощности является неотъемлемой частью их проектирования. Проведен сравнительный анализ рассеиваемой мощности накопителей на основе различных схмотехнических решений построения запоминающих ячеек при использовании библиотеки с технологическими нормами SAED EDK в 28 нм.

Ключевые слова: запоминающая ячейка, накопитель, рассеиваемая мощность, моделирование.

Введение. При проектировании сверхбольших интегральных схем (СБИС) запоминающих устройств (ЗУ) важное значение имеет оценка рассеиваемой мощности (особенно статической) элементной базы запоминающих ячеек (ЗЯ) и накопителей на их основе, особенно на ранних стадиях проектирования. При этом актуальной задачей является сравнительный анализ рассеиваемой мощности накопителей на основе различных схмотехнических решений построения ЗЯ при использовании библиотеки с технологическими нормами SAED EDK в 28 нм.

Рассеиваемая мощность состоит из двух составляющих: статической $P_{ст}$ и динамической $P_{дин}$ (рис. 1) [1]. Динамическая мощность рассеивается в активном режиме, т.е. при переключениях логических элементов (ЛЭ). Статическая мощность не зависит от активности внутренней логики и рассеивается в пассивном режиме или в режиме ожидания.

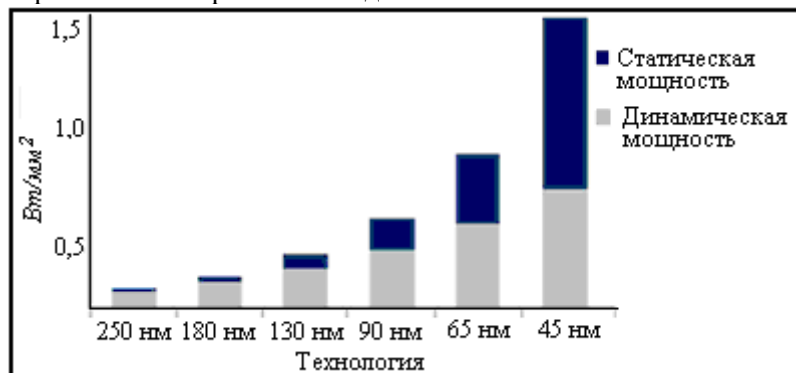


Рис. 1. Уровень потребления мощности при масштабировании технологии

Из рис. 1 видно, что при масштабировании технологии статическая составляющая мощности становится соизмеримой с динамической мощностью.

Статическая рассеиваемая мощность. Эта мощность обусловлена токами утечки: током обратного смещенного $p - n$ перехода, подпороговым током и туннельным током через подзатворный диэлектрик (рис. 2,3) [2,3]. Каждый механизм является доминирующим в разных областях структуры (рис. 3) [3].

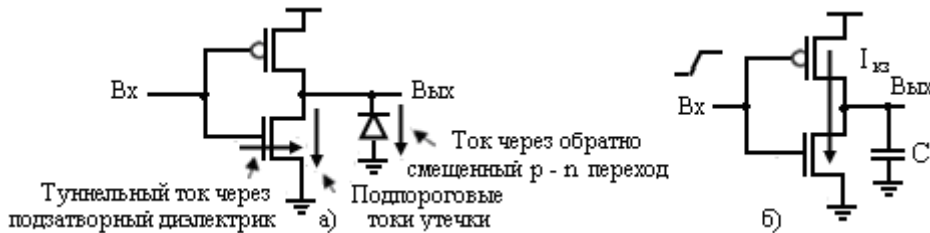


Рис. 2. Направления токов утечки для статической (а) и динамической (б) мощностей

Статическая мощность не является функцией тактовой частоты, в то время как рассеиваемая мощность, наоборот, представляет линейную функцию от тактовой частоты:

$$P_{рас}(F_{тч}) = A F_{тч} + P_{ст}, \tag{1}$$

где A - коэффициент, не зависящий от тактовой частоты.

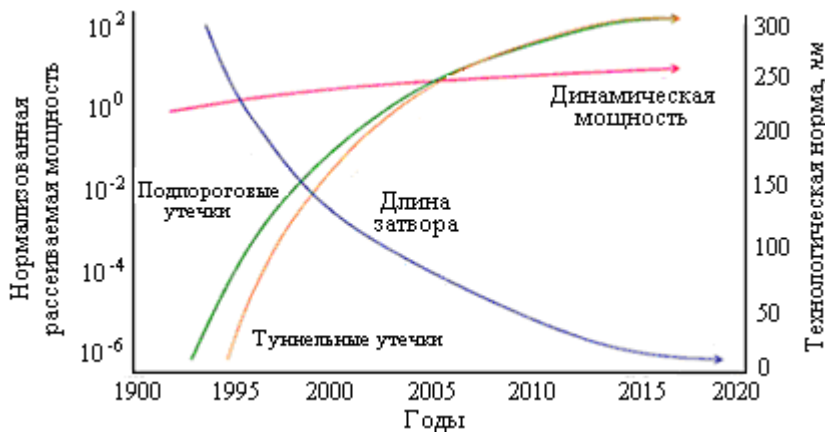


Рис.3. Тенденции развития динамической и статической рассеиваемых мощностей

Ток утечки обратного смещенного $p - n$ перехода. Этот ток возникает тогда, когда на вход ЛЭ приложен низкий логический уровень напряжения и выход ЛЭ - сток n МОП транзистора подключается к шине питания (рис. 2). В результате между стоком и подложкой возникает обратный смещенный $p - n$ переход, через который течет ток утечки [1]:

$$J = A \frac{EV_{pn}}{E_g^{1/2}} \exp\left(-B \frac{E^{1/2}}{E}\right),$$

где $A = \sqrt{2m^* q^3 / 4\pi^3 h^2}$, $B = 4\sqrt{2m^* / 3hq}$; m^* - эффективная масса электрона; E_g - ширина запрещенной зоны; V_{pn} - напряжение обратно смещенного $p - n$ перехода; E - напряженность электрического поля; q - заряд электрона; h - постоянная Планка.

Ток подпороговой утечки. Этот ток возникает тогда, когда n МОП транзистор закрыт, разница напряжений между его стоком и истоком равна напряжению питания и через канал протекает ток [1,3]:

$$I_{sub} = \mu \cdot C_{ox} \cdot \varphi_T^2 \cdot e^{1,8} \cdot \frac{W}{L} \cdot e^{\frac{V_{GS}-V_{th}}{n\varphi_T}} \left(1 - e^{-\frac{V_{DS}}{\varphi_T}}\right), \quad (2)$$

где μ - подвижность носителей заряда; C_{ox} - емкость подзатворного окисла; φ_T - термический потенциал; W, L - ширина и длина канала транзистора; V_{GS} - напряжение затвор-исток; V_{th} - пороговое напряжение транзистора; n - технологически зависимый параметр; V_{DS} - напряжение сток-исток.

Туннельный ток через подзатворный диэлектрик. Этот ток возникает тогда, когда носители заряда проходят через подзатворный диэлектрик вследствие туннельного эффекта, и определяется следующим выражением [1,3]

$$I_{ox} = W \cdot L \cdot A \cdot \left(\frac{V_{ox}}{t_{ox}}\right)^2 \exp\left(\frac{-B(1 - (1 - V_{ox}/\varphi_{ox})^{3/2})}{V_{ox}/\varphi_{ox}}\right),$$

где $A = q^3 / 16\pi^2 h \varphi_{ox}$; $B = 4\pi \sqrt{2m_{ox}} \varphi_{ox}^{3/2} / 3hq$; m_{ox} - эффективная масса туннелированных частиц; φ_{ox} - высота туннельного барьера; t_{ox} - толщина окисла.

Динамическая рассеиваемая мощность. Эта мощность состоит из двух основных компонентов: ЛЭ, необходимого для перезарядки выходных емкостей, и внутренней мощности, которая включает в себя:

- потребление, обусловленное током короткого замыкания, который протекает через ЛЭ, когда при его переключении открыты оба р-МОП и n-МОП транзистора (рис. 2);

- мощность, необходимую для перезарядки внутренних емкостей ЛЭ.

Динамическая потребляемая мощность определяется выражением

$$P_{дин} = (C_{эф} V_{dd}^2 F_{мч}) + (t_{енЛЭ} V_{dd} I_{внт} F_{мч}), \quad (3)$$

где $C_{эф}$ - эффективная емкость устройства; V_{dd} - напряжение питания; $F_{тч}$ - тактовая частота; $t_{вл.ЛЭ}$ - время переключения ЛЭ; $I_{емн}$ - эффективная величина внутреннего тока переключения (сумма тока короткого замыкания и тока, необходимого для перезарядки внутренних емкостей).

Первое слагаемое в (3) выражает мощность переключения, второе - внутреннюю мощность. Из (3) следует, что $P_{дин}$ пропорциональна $F_{тч}$.

Схемотехнические решения снижения статической рассеиваемой мощности. Снижение статической рассеиваемой мощности на схемотехническом уровне заключается в управлении пороговым напряжением МОП транзисторов, типовой КМОП структуры (рис. 4а) в зависимости от рабочего режима [3-6].

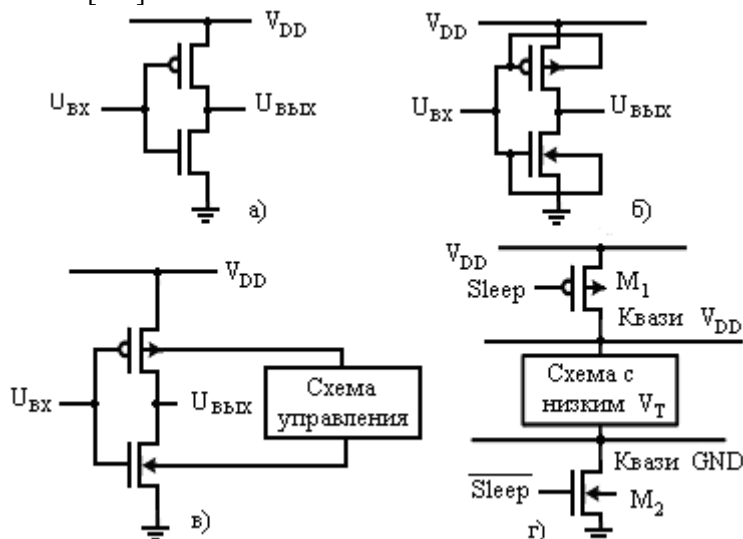


Рис. 4. Схемотехнические решения снижения статической мощности:

а - типовой инвертор, б - инвертор с дополнительными электродами, в - инвертор со схемой управления, г - инвертор с квазишинами питания

В ЛЭ (рис. 4б) подложки р-МОП и n-МОП транзисторов подключены к затворам. В случае, когда на входе имеется напряжение логической единицы (V_{dd}), пороговое напряжение ($V_{пор}$) уменьшается, и, следовательно, увеличивается ток, перезаряжающий нагруженную емкость, что приводит к повышению быстродействия. В случае, когда на входе имеется напряжение логического нуля ($0 В$), $V_{пор}$ n-МОП транзистора не меняется, обеспечивая малые токи утечки. Таким образом, обеспечивается автоматическое изменение $V_{пор}$ МОП транзисторов.

В ЛЭ (рис. 4в) подложки р-МОП и n-МОП транзисторов подключены к схеме управления, обеспечивая управление $V_{пор}$ транзисторов смещением подложки благодаря использованию эффекта влияния подложки. В активном

режиме на подложку p -МОП транзистора подается напряжение питания V_{dd} , а на подложку n -МОП транзистора - 0 В , обеспечивая таким образом низкое V_{nor} . В пассивном режиме на подложки p - и n - канальных МОП транзисторов подаются напряжения $2V_{dd}$ и $-V_{dd}$ соответственно, и в результате V_{nor} увеличивается. Таким образом, в пассивном режиме уменьшается статическая рассеиваемая мощность, а в активном режиме повышается быстродействие.

В ЛЭ рис. 4г используются транзисторы с разным V_{nor} - малым (транзисторы блока) и большим (транзисторы M1 и M2). Транзисторы с малым V_{nor} обеспечивают высокое быстродействие, а транзисторы с высоким V_{nor} отключают схему в те моменты времени, когда она должна находиться в пассивном режиме сигналами *sleep* и инверсный *sleep*. Sleep-режим работы существенно уменьшает статическую рассеиваемую мощность из-за больших токов утечки у транзисторов с малым значением V_{nor} . Недостатками этого ЛЭ является дополнительная емкость, привносимая транзисторами M1 и M2, что уменьшает быстродействие, а также появление дополнительных помех в цепях питания (емкость виртуальной шины “земли” намного больше реальной земли).

Сравнительная оценка рассеиваемой мощности накопителей ЗУ. Статические оперативные ЗУ являются источником статической рассеиваемой мощности, т.к. не все ЗЯ находятся в активном режиме (рис. 5). Для хранения одного бита информации необходима одна ЗЯ, состоящая из двух инверторов и двух транзисторов - 6Т ЗЯ. Проведем сравнительный анализ применения ЛЭ, представленных на рис. 5, для построения ЗЯ.

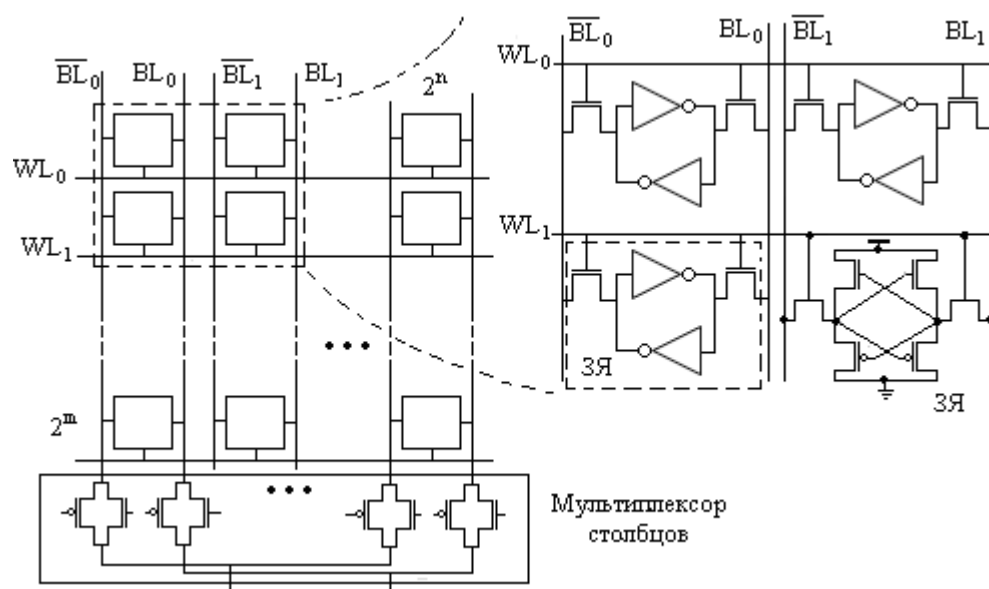


Рис. 5. Электрическая схема накопителя ЗУ

Результаты моделирования ЛЭ, приведенных на рис. 4а,б, при использовании библиотеки с технологическими нормами SAED EDK в 28 нм представлены в табл.1.

Таблица 1

Значения статических и динамических токов ЛЭ

ЛЭ (рис. 4а)		ЛЭ (рис. 4б)	
статический ток	динамический ток	статический ток	динамический ток
4,57 нА	10,597 нА	2,95 нА	14,76 нА

Из таблицы видно, что в статическом режиме ток ЛЭ, приведенного на рис. 4б, меньше, чем ток ЛЭ, приведенного на рис. 4а, а динамический ток больше, чем ток ЛЭ, приведенного на рис. 4а. Таким образом, ЛЭ, приведенный на рис. 4б, нецелесообразно использовать для построения накопителя ЗУ, поскольку, как видно из электрической схемы ЗЯ (рис. 5), оба инвертора ЗЯ всегда находятся в активном режиме, что может привести к существенному повышению динамического тока ЗЯ.

Рассмотрим возможность применения инверторов, приведенных на рис. 4в,г, для построения ЗЯ. В результате моделирования ЗЯ, построенных на основе ЛЭ (рис. 4в,г), согласно рис. 6, полученные зависимости статических и динамических токов от температуры приведены на рис. 7-8.

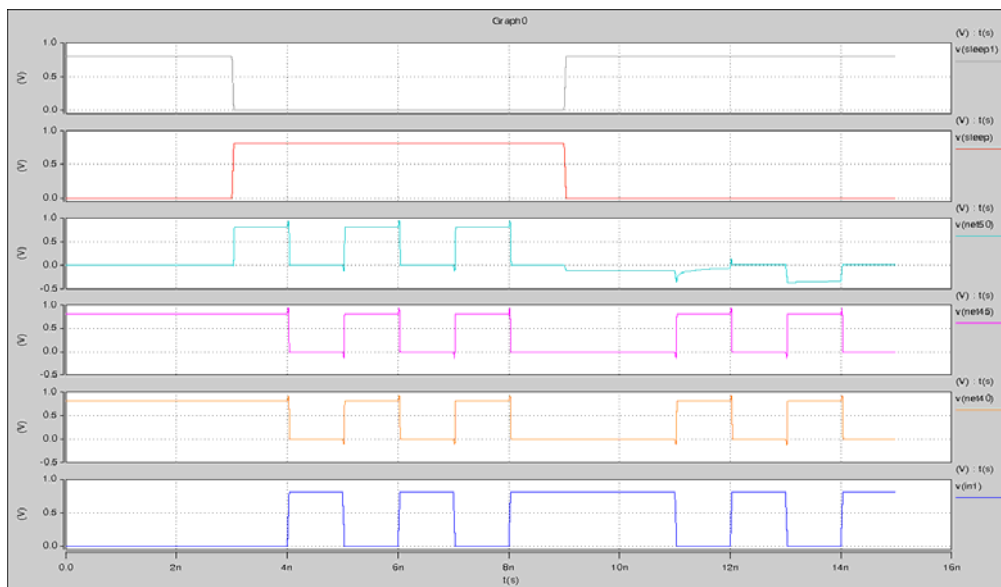


Рис. 6. Временные диаграммы для определения статических и динамических токов

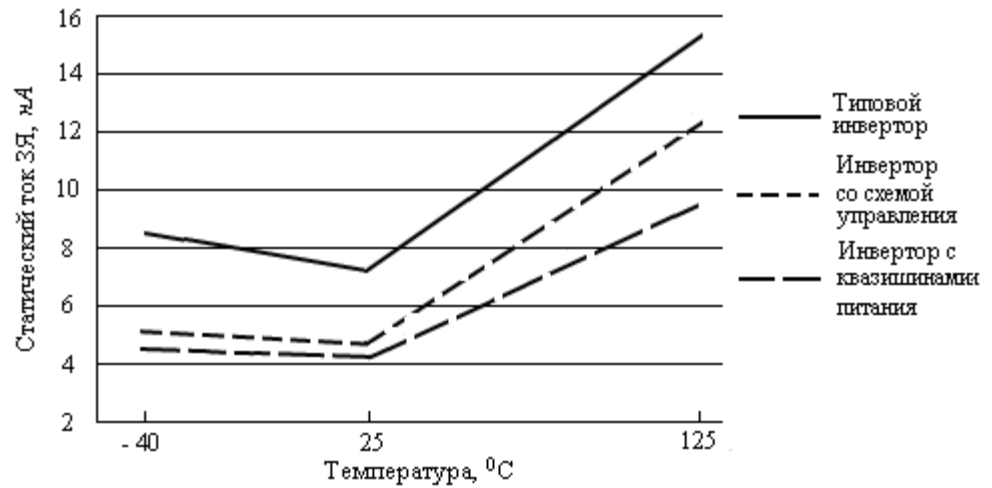


Рис. 7. Зависимости статических токов ЗЯ от температуры

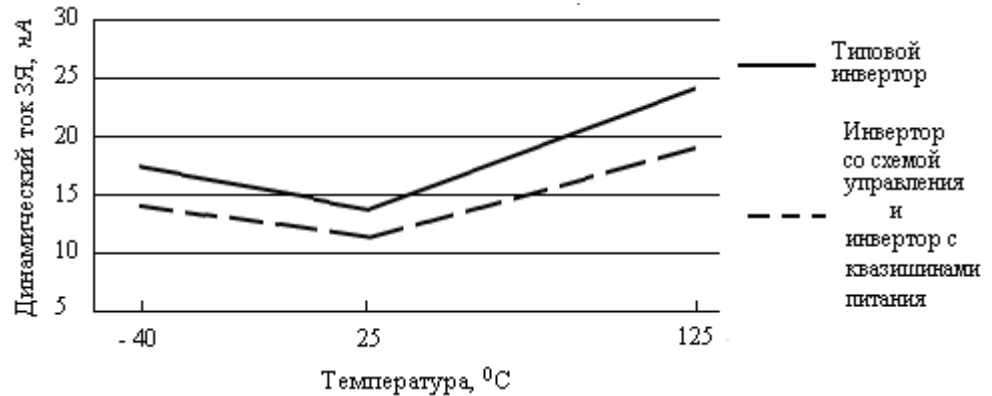


Рис. 8. Зависимости динамических токов ЗЯ от температуры

На основе электрической схемы накопителя статической оперативной ЗУ проведено моделирование при информационной емкости 4 и 2 *кбайт*, температурах - 40, 25 и 125 °C и напряжении питания 0,9 В с использованием ЗЯ, построенных на основе применения инверторов, приведенных на рис. 4а, в, г. Накопители с информационной емкостью 4 и 2 *кбайт* состояли из 4-х байтовых секций с 8-ю битовыми шинами. В табл. 2 приведены результаты моделирования для накопителя 4 *кбайт*. Как видно из таблицы, статические и динамические токи накопителя с информационной емкостью в 2 *кбайт* почти в два раза меньше аналогичных значений, полученных для 4 *кбайт*.

Таблица 2

Значения статических и динамических токов накопителей

Температура, °С	Типовой инвертор		Инвертор с управляемым пороговым напряжением		Инвертор с шинами квазипитания	
	статический ток, A	динамический ток, A	статический ток, A	динамический ток, A	статический ток, A	динамический ток, A
- 40	$3,233 \cdot 10^{-4}$	$8,071 \cdot 10^{-4}$	$2,554 \cdot 10^{-4}$	$6,860 \cdot 10^{-4}$	$2,004 \cdot 10^{-4}$	$6,457 \cdot 10^{-4}$
25	$1,681 \cdot 10^{-4}$	$4,092 \cdot 10^{-4}$	$1,412 \cdot 10^{-4}$	$3,560 \cdot 10^{-4}$	$1,093 \cdot 10^{-4}$	$3,355 \cdot 10^{-4}$
125	$4,421 \cdot 10^{-4}$	$6,477 \cdot 10^{-4}$	$3,625 \cdot 10^{-4}$	$5,570 \cdot 10^{-4}$	$2,829 \cdot 10^{-4}$	$5,246 \cdot 10^{-4}$

Используя приведенные в табл. 2 результаты, можно с достаточной точностью оценить статические и динамические рассеиваемые мощности для накопителей как с большой, так и с малой информационной емкостью, ЗЯ которых построены на основе инверторов, приведенных на рис. 4а, в и г.

Выводы

1. Дан анализ рассеиваемой мощности КМОП СБИС и приведены механизмы их компонентов.

2. В результате анализа схемотехнических решений снижения статической рассеиваемой мощности, а также их моделирования получены зависимости статических и динамических токов от температуры для технологических норм SAED EDK в 28 нм.

3. Накопители с информационной емкостью в 4 *кбайт* на основе ЗЯ с управляемым пороговым напряжением и ЗЯ с квазишинами питания обеспечивают меньшую статическую (16 и 35%) и соответственно меньшую динамическую (16 и 35%) мощности, чем ЗЯ на основе типовых инверторов.

4. Полученные результаты позволяют произвести выбор схемотехнического решения ЗЯ для построения накопителей ЗУ с малой рассеиваемой мощностью.

СПИСОК ЛИТЕРАТУРЫ

1. **Yuanlin Lu**. Power and performance optimization of static CMOS circuits with variation.- Auburn, Alabama, August, 2007. - 142 p.
2. Leakage Current: Moore's Law Meets Static Power /**Nam Sung Kim** et al // Authorized licensed use limited to: Rice University. Downloaded on January 26, 2009 at 17:14 from IEEE Xplore. Restrictions apply, 2009. - P. 68-75.

3. Leakage Current Mechanisms and Leakage Reduction Techniques in Deep-Submicrometer CMOS Circuits / **K. Roy et al** // Proceedings of IEEE.- New York, Feb. 2003. - V.91, n.2.- P. 305-327.
4. **Мурашко И.А.** Методы оценки рассеиваемой мощности в цифровых КМОП схемах // Доклады БГУИР. - 2007.- № 1 (17). - С. 100-108.
5. **Белоус А.И., Мурашко И.А., Сякерский В.С.** Методы минимизации энергопотребления при проектировании КМОП БИС // Технология и конструирование в электронной аппаратуре.- 2008. - №2. - С. 39-44.
6. **Кременецкая Я.А.** Физические ограничения в микро-нанoeлектронике и их влияние на развитие информационных технологий // Вісник ДУИКТ. - 2012. - Т.10, № 4. - С. 100-103.

*Поступила в редакцию 20.01.2014.
Принята к опубликованию 12.05.2014.*

ԿՄՕԿ ՍՏԱՏԻԿ ՕՊԵՐԱՏԻՎ ՀԻՇՈՂ ՍԱՐՔԵՐԻ ԿՈՒՏԱԿԻՉՆԵՐԻ ՑՐՄԱՆ ՀՁՈՐՈՒԹՅԱՆ ՀԱՄԵՄԱՏԱԿԱՆ ԳՆԱՀԱՏՈՒՄԸ

Օ.Հ. Պետրոսյան, Ն.Բ. Ավդալյան, Գ.Շ. Մելիքյան

ԿՄՕԿ ստատիկ օպերատիվ հիշող սարքերի գերմեծ ինտեգրալ սխեմաները մշակելիս ցրման հզորության գնահատումը նրանց նախագծման անխզելի մասն է: SAED EDK 28 նմ տեխնոլոգիական նորմերով կատարվել է կուտակիչների ցրման հզորության համեմատական գնահատում՝ հիշող տարրերի կառուցման տարբեր սխեմատիկական լուծումների հիման վրա:

Առանցքային բառեր. հիշող տարր, կուտակիչ, ցրման հզորություն, մոդելավորում:

A COMPARATIVE ESTIMATION OF THE DISSIPATED POWER OF THE STATIC RANDOM ACCESS MEMORY CMOS STORAGE

O.H. Petrosyan, N.B. Avdalyan, G.Sh. Melikyan

When designing VLSI CMOS memory devices, power dissipation rating is an integral part of their design . A comparative analysis of the dissipated power drives based on various circuit solutions of designing memory cells by using the library with technological standards SAED EDK 28 nm is carried out.

Keywords: memory cell , array, power dissipation, modeling.